

上海交通大学

SHANGHAI JIAO TONG UNIVERSITY

学士学位论文

THESIS OF BACHELOR



论文题目： 开关电容 $\Sigma\Delta$ 调制器电路级设计与行为级仿真相关性研究

学生姓名: 朱晶阳

学生学号: 5092119018

专 业: 微电子

指导教师: 施国勇

学院(系): 微电子

# 开关电容 $\Sigma\Delta$ 调制器电路级设计与行为级仿真相关性研究

## 摘要

随着集成电路领域的发展,许多电路的信号处理越来越多地采用数字电路芯片来处理。但是在我们日常生活中的信号都是以模拟信号的形式存在的,所以一个高精度,低功耗的数模转换(ADC)芯片的设计起着最为重要的纽带的作用,而 $\Sigma\Delta$ 数模转换就是其中一种。由于在 $\Sigma\Delta$ 模数转换器的设计过程中如果采用传统的矩阵求解器来仿真(诸如 HSpice, Cadence Spectre)会花费过长的时间,所以这篇论文使用了基于 Matlab / Simulink 的方法搭建对应于电路级别的行为级模型来仿真,除了在时间上有明显的缩短,并且也考虑许多模拟电路设计中的非理想因素(比如运放的有限增益,转换速率,带宽等因素),使得简单的行为级和电路级仿真能够有明确的对应关系,并且也为日后可能的 $\Sigma\Delta$ 数模转换器的电路综合打下基础。在这次论文中一个完整任意阶数的 $\Sigma\Delta$ 数模转换器电路级设计方法以及对应的带有电路非理想特性的行为级模型的建立会同时给出,可以将这电路级和带非理想性行为级模型结合起来进行电路的仿真与设计。

**关键词:** 开关电容 $\Sigma\Delta$ 数模转换器, 行为级模型, 电路非理想特性, 积分器阶跃响应

# RESEARCH ON CORRELATION BETWEEN BEHAVIORAL MODEL AND TRANSISTOR-LEVEL DESIGN OF SWITCHED-CAPACITOR SIGMA DELTA MODULATORS

## ABSTRACT

With the development of integrated circuit, more and more signal processing tasks are implemented by the digital integrated circuits because of the high density as well as robustness. Since all the signals in our real life are analog signals, it is critical for us to have an Analog-to-Digital Converter (ADC) with good performance, such as high precision and ultra low power consumption, and Sigma Delta Modulator (SDM) is one kind of ADC. In reality, there exists a significant problem in designing the Sigma Delta ADC, which it will spend lots of time to simulate a complete SDM with the conventional transistor-level simulator, such as HSpice and Cadence Spectre. As a result, I present a complete behavioral model which includes some practical circuit parasitic effects, such as the finite dc gain, slew rate and the bandwidth of Operational Amplifier (OpAmp). The behavioral model has a great advantage over its transistor-level counterpart for it can provide a rather accurate final result but in a very short time. Moreover, it can have a good correspondence with the circuit parameters and thus it will be helpful for us to develop a toolkit to synthesize a complete SDM in the future. In this thesis, a complete transistor-level as well as the behavioral model for an arbitrary order SDM will be presented, and a complete design procedure of SDM with the combination of such 2 levels and a comparison of final simulation results between them will also be discussed.

**Key words:** Switched capacitor (SC) sigma delta modulator (SDM), behavioral model, circuit non-ideal effects, unit step response of SC integrator

## 目 录

第一章 绪论.....	1
1.1 SDM 的研究现状.....	1
1.2 本文目的与组织结构.....	1
第二章 SDM 基本理论.....	3
2.1 ADC 的基本知识.....	3
2.1.1 采样定理.....	4
2.1.2 量化器 (Quantizer) .....	4
2.1.3 信噪比 (SNR) 与有效比特数 (ENOB) .....	5
2.2 SDM 基本原理.....	6
2.2.1 一阶 SDM 的基本结构.....	6
2.2.2 高阶 SDM 的通用结构与环路滤波器 (Loop Filter) .....	7
2.2.3 SDM 的稳定性研究.....	8
2.2.4 SDM 的 NTF 与 STF 的综合.....	9
2.2.4.1 SDM 中 NTF 的零点优化.....	9
2.2.4.2 SDM 中 NTF 的极点优化.....	10
2.2.5 SDM 环路滤波器的几种常见结构.....	11
2.3 理想 SDM 的 Matlab / Simulink 行为级仿真.....	12
2.4 SDM 的功率谱密度 (PSD) 测量.....	15
2.4.1 PSD 基本定义.....	15
2.4.2 窗函数的作用.....	16
2.4.3 测试信号的选取与频谱模糊 (smear) .....	17
2.4.4 原始信号的提取.....	18
2.5 本章小结.....	19
第三章 SDM 电路级设计.....	20
3.1 连续时间 (CT) 与开关电容电路 (SC) 实现.....	20
3.2 积分器电路实现.....	20
3.3 反馈回路的实现.....	22
3.4 一阶单端 SDM 结构.....	23
3.5 SDM 电路模块实现.....	24
3.5.1 运算放大器 (OpAmp) .....	24
3.5.2 比较器 (1 比特 ADC) .....	27
3.5.3 D 触发器 (DFF) .....	29
3.5.4 两相位互不重叠的时钟产生器.....	31
3.5.5 开关电路.....	32
3.6 一阶单端 SDM 电路仿真.....	33
3.7 全差分 SDM 电路.....	34
3.7.1 单端 SDM 电路与全差分 SDM 电路.....	34
3.7.2 全差分运放与共模反馈电路 (CMFB) .....	35

3.7.3 全差分积分器.....	39
3.8 一阶全差分 SDM 电路仿真.....	41
3.9 本章小结.....	44
第四章 SDM 非理想性分析与 Simulink 建模.....	45
4.1 时钟抖动 (Clock Jitter) .....	45
4.2 开关热噪声.....	46
4.3 比较器的 DC 漂移 (offset).....	50
4.4 运放非理想性与 SC 积分器瞬态响应.....	51
4.4.1 运放的噪声.....	51
4.4.2 运放的有限增益.....	52
4.4.3 运放的有限带宽与转换速率 (Slew Rate) .....	54
4.4.4 积分器的高阶瞬态阶跃响应.....	57
4.5 一阶非理想性行为级模型与电路仿真结果比较.....	60
4.5.1 一阶 SDM 仿真结果比较.....	60
4.5.2 两阶 SDM 仿真结果比较.....	61
4.6 本章小结.....	62
第五章 结论及未来展望.....	63
5.1 结论.....	63
5.2 未来展望.....	64
参考文献.....	65
谢辞.....	67

## 第一章 绪论

随着集成电路（IC）产业的发展，数字信号处理（DSP）芯片的功能也愈来愈强大，所以我们在对信号进行处理时，往往需要将实际生活中的模拟信号进行采样，量化，编码等，这几个步骤往往构成了一个最基本的数模转换器（ADC）<sup>[1]</sup>，然后再通过强大的数字电路去处理信号。其中ADC的种类有许多种，比如流水线（Pipeline），逐次逼近型（SAR）等。其中Sigma Delta调制器（SDM）就是其中的一种，相较于其他种类的ADC而言，SDM是一种过采样的ADC，因而它的转换精度特别高，其中一个最典型的例子是SDM只需要使用一个1比特精度的ADC，就可以得到一个精度超过16比特的ADC<sup>[2]</sup>。

但是在设计ADC的过程中，使用传统的电路仿真器需要花费大量的时间，一般而言随着ADC的阶数的升高，仿真的时间更是会以超过线性的速度来增长。因而复杂的电路如果需要设计者花费大量的时间去做仿真，将会严重影响电路的设计时间，并且设计者也很难从复杂的电路中查找出究竟是电路哪一部分导致最后整体出错。

其次由于SDM是混合信号电路中一个特别典型的代表，我们知道目前集成电路中数字电路设计部分往往只需要设计师在一开始写好对应的寄存器传输级代码（RTL），然后大部分工作可以交由电路辅助设计工具（EDA）来完成综合，得到电路最后的完整版图。但是由于模拟电路设计中涉及到许多电路的寄生效应，诸如电容会引入一个极点，从而影响运算放大器的频域相应，所以在设计的时候需要更多的凭借工程师对于电路的经验，缺少像数字电路中那样较为简单的逻辑电路的映射关系。这里SDM就是一个非常好的中间台阶，因为SDM虽然是一个模拟电路，但是它却和一个基本的数据流图（DFG）有着一一对应的关系，所以在一定程度上存在了电路综合的可能性。

### 1.1 SDM的研究现状

SDM起初是在上世纪50年代研究出现的，目前为止基础的理论已经比较完善了，包括其中环路滤波器（Loop Filter）系数的初步设定，相关的电路基本结构等。但是仍然存在着如下的一些不足：

- 1) 电路稳定性分析
- 2) 电容失配对整个电路性能敏感度分析
- 3) 最优的环路滤波器系数以及结构
- 4) 实际电路中高阶的寄生参数（比如积分器的多个零极点）对性能的影响

对比之前的许多国内研究主要是做的电路级别的设计，或者是单纯地从行为级模型的角度考虑缺少实际电路与行为级模型的仿真比较，并且运用其两者的仿真的结果互相指导电路的设计，并且运用于电路综合<sup>[3][4]</sup>。

### 1.2 本文目的与组织结构

本论文主要是基于目前SDM的研究较为成熟的基础上，尝试为实验室的后续研究（也就是能够综合SDM）。首先相较于数字电路的综合，SDM的电路综合需要：

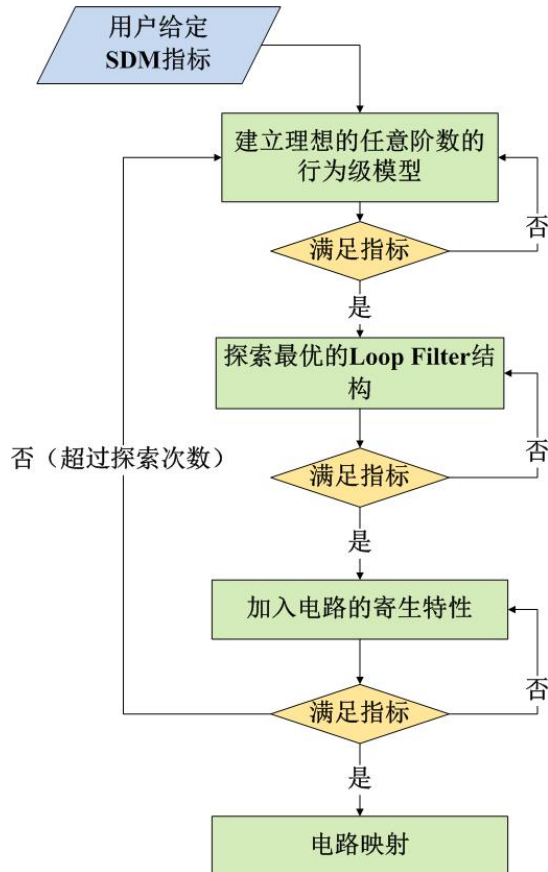


图1-1 综合SDM所需的流程图

其中用户给定的数据可以包括最基本的电路精度，阶数等，也可以包括预先给出的电路基本性能参数，这样可以去使用预先的行为级模型来验证用这样性能的电路搭建出的ADC能否达到所给出的电路性能。其次再可以使用一些人工智能的算法来探索最优的系数，最优的SNR的电路结构，对电容失配最不敏感的电路结构等一系列最优的电路解。之后在加入电路性能的情况下研究是否满足最后的电路指标等。在最后由行为级电路就可以映射成为电路级别的具体模块（比如对应于多少DC增益，带宽的运放）。这里的工具除了验证电路之外，还可以辅助电路设计，比如可以用户事先不知道电路具体的参数，由行为级工具自己探索出一个可行的解然后返回给用户进行设计，所以在图1-1中有一些判断的循环的连线。

这次论文的目的主要研究SDM的行为级模型和实际电路级的对应关系，因而对于图1-1中第1和第3个步骤是相关的。将会给出一个基本的实际电路性能的分析，以及一些实际电路中出现的波形给予的解释以及在对对应行为级模型中的映射方式。

本文的主要结构为：

第一章为绪论，介绍了本文的研究目的及意义。

第二章将会给出基本的ADC基本性能参数，SDM的模块，工作原理等，并在最后给出一个理想SDM的行为级模型实现。

第三章将会介绍SDM中基本电路模块的实现及相关的知识。并且给出基于TSMC 0.18um下Cadence的电路实现。

第四章将会分析实际SDM中遇到的电路波形，寄生效应等，并且对应得到的行为级模型的模块建立。将进行相关的仿真得到关于电路非理想性对实际SDM电路SNR的影响，并且最后将与实际Cadence电路的结果进行比较。

最后第五章将总结这次毕设中所做的研究，以及对未来的展望。

## 第二章 SDM基本理论

在本章中将会讨论相关的关于Sigma Delta调制器的基本原理，包括一些关于ADC的相关知识，性能指标参数等。在这一节中，许多相关的知识主要是整理来源于相关的已有的参考文献<sup>[1][5]</sup>。并在本节最后将会给出一个实际的三阶理想SDM的Simulink仿真综合实例。

### 2.1 ADC的基本知识

一个基本的模数转换器（ADC）是主要由采样电路，以及一个幅度的量化器（Quantizer）两部分所组成：

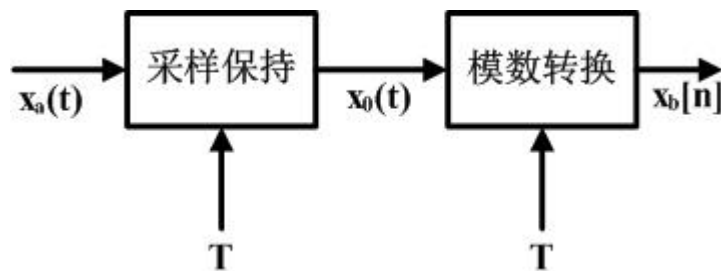


图2-1 一个理想的ADC的组成

其中采样保持电路的作用是采样输入的模拟信号  $x_a(t)$ ，之后由于ADC的转换速率有限，需要一定的时间来经行转换，所以需要采样得到的模拟信号做一定时间T的保持。一个理想的保持电路的传输函数为：

$$h_0(t) = \begin{cases} 1 & 0 < t < T \\ 0 & otherwise \end{cases} \quad (2-1)$$

公式2-1中即为一个理想的零阶保持电路，因而ADC的输入信号  $x_0(t)$  为：

$$x_0(t) = \sum_n x_a(nT)h_0(t-nT) \quad (2-2)$$

可以从2-2中明显看出得到的信号将会是一个在采样周期T时刻内稳定的输入采样值。

在实际电路中采样保持电路可以用一个非常简单的电容开关来完成：

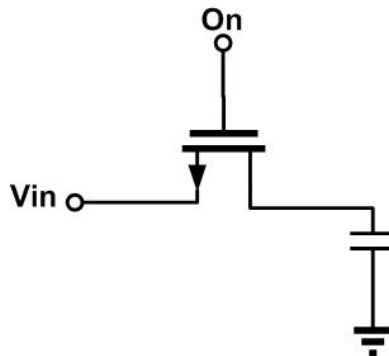


图2-2 简单的采样保持电路



正如图2-2所示的那样通过NMOS的开关导通采样输入模拟信号，然后使得其电荷保持在对应的采样电容上，稳定一个周期T的时间，这样一个简单的电路就实现了零阶保持电路，并且在SDM中会经常使用这样的结构。

### 2.1.1 采样定理

由于输入信号首先是一个带限信号，所以为了在频域可以重构原始的输入信号，所有的ADC在采样时必须符合Nyquist采样定理，即

$$f_s > 2f_B \quad (2-3)$$

其中  $f_B$  为信号带宽。

所以在一般在ADC的输入阶段会有一个预置的抗混叠滤波器完成满足输入信号的带限要求。在这里也可以根据Nyquist定理引出ADC中一个重要的概念，也就是过采样滤波器，如果一个ADC的采样频率远远高于Nyquist采样率，那么这样的ADC为过采样滤波器，SDM就是一个典型的过采样滤波器。过采样率（OSR）定义为：

$$OSR = f_s / (2f_B) \quad (2-4)$$

过采样主要有几个优势，这几点在设计SDM中也会用到：

- 1) 降低抗混叠滤波器的设计难度，因为如果是按照Nyquist率来采样的ADC所需要的滤波器过渡带会非常陡直。
- 2) 可以减少噪声在信号带宽内的功率，从而增大电路信噪比，提升最后的精度。

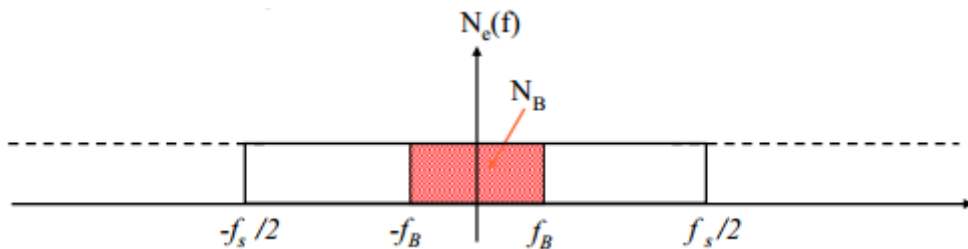


图2-3 过采样对于白噪声的压缩

图2-3显示的就是一个在过采样作用下白噪声功率谱密度（PSD）的变化，可以看到总的能量是不变的，即在  $[-f_s/2, f_s/2]$  区间内的面积是白噪声的总功率，可以从图中明显的看出这时在信号带宽内的功率减小为：

$$N_B = Noise \times 2f_B / f_s = Noise / OSR \quad (2-5)$$

因而相比于Nyquist采样率的ADC，信噪比（SNR）就会提升OSR倍。

### 2.1.2 量化器（Quantizer）

ADC除了采样，还需要完成的一个工作就是量化，也就是在幅度上需要将原始模拟信号做离散化处理，变为有限字长的数字量值。

一个典型的M阶的量化器可以用电压传输函数来表示：

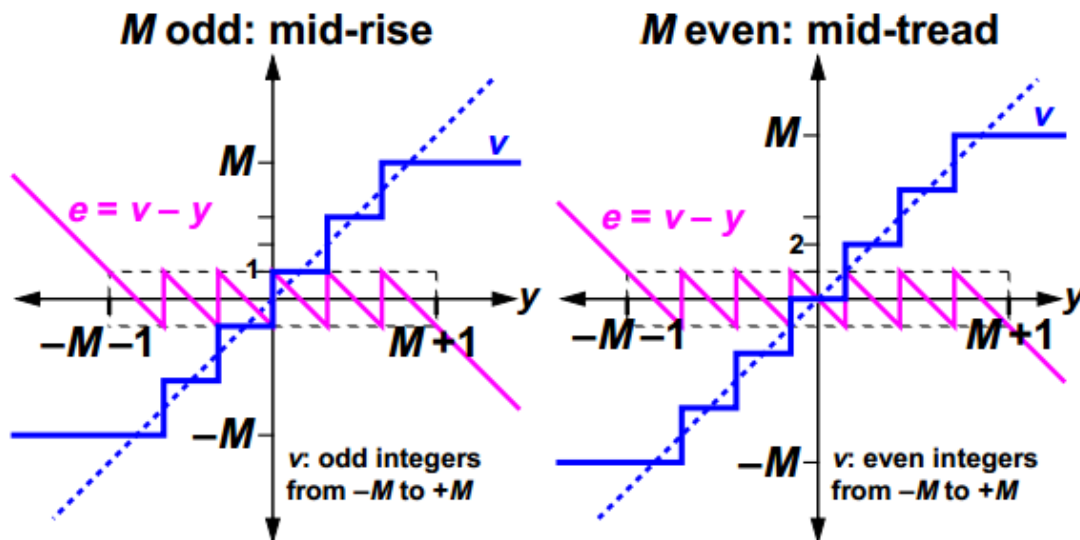


图 2-4 M 阶的量化器传输曲线

其中我们需要注意的是量化误差定义为量化器输出信号  $v$  与输入信号  $y$  之间的差值, 假设输入信号时均匀分布在输入范围内的, 那么量化噪声的功率 (或者说方差) 就是:

$$\sigma_e^2 = \int_{-\Delta/2}^{\Delta/2} e^2 \frac{1}{\Delta} de = \frac{\Delta^2}{12} \quad (2-6)$$

在这里假设输入信号是白噪声, 也就是对应于图 2-3 中的噪声功率谱密度处于区间范围  $[-f_s/2, f_s/2]$  内的总功率为  $\Delta^2/12$ 。

在 SDM 中经常使用的是 1 比特的 ADC, 也就是  $M=1$  时传输函数的情况, 由于在这样的情况下无法用一个常系数来表示  $v=ky$  这一个传输函数曲线, 所以需要使用一个统计量  $k(y)$  来表示, 可以证明为了使得噪声  $e$  的方均值最小,  $k$  必须符合如下的算式:

$$k = \frac{E(|y|)}{E(y^2)} \quad (2-7)$$

所以也是这样的问题使得对于 1 比特 SDM 的分析变得困难, 这是一个基于输入量的统计值, 也造成了稳定性难以分析的原因。

### 2.1.3 信噪比 (SNR) 与有效比特数 (ENOB)

一个 ADC 中衡量性能最主要的一个参数就是其信噪比 (SNR), SNR 的定义为 ADC 输入信号功率与噪声功率之比, 一般以分贝 (dB) 作单位。

$$SNR[dB] = 10 \log_{10} \frac{P_s}{P_e} \quad (2-8)$$

SNR 越高则表示 ADC 的精度越高, 为了与实际电路建立起联系, 一般在 ADC 的性能表示中会使用有效比特数 (ENOB) 来替代 SNR 来表示:

$$\begin{aligned} SNR &= 10 \log \frac{P_s}{P_n} = 10 \log \frac{(\Delta \times 2^{ENOB-1})^2 / 2}{\Delta^2 / 12} \\ &= 6.02 ENOB + 1.76 \end{aligned} \quad (2-9)$$

可以看出, ENOB 是在信号幅度 (功率) 最大下得到的, 也就是对应于最高的 SNR。

## 2.2 SDM基本原理

Sigma Delta调制器由于其特有的高精度特性广泛应用于语音信号处理的领域，一般来说SDM比较适用于低频的模数转换，尽管有相关的理论支持带通SDM的发展，但是只有很少一部分的实际产品采用带通SDM<sup>[5]</sup>。

### 2.2.1 一阶SDM的基本结构

为了分析SDM的高精度特点，下面是一个最基本的1阶SDM的模块图：

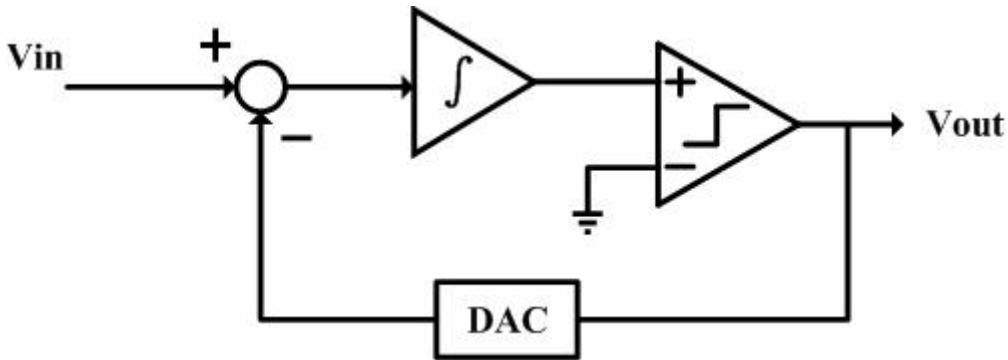


图2-5 基本的1阶SDM模块

在图2-5中我们可以看出SDM是一个带有反馈回路的系统，其中输出端是采用一个内置的低精度ADC（在这里采用的比较器等效于一个1比特的量化器），反馈回路则再采用对应的低精度的DAC来完成。为了直观理解其工作原理，可以把内置的ADC和DAC想象成一把精度很差的尺子，但是为了达到高精度的目标，SDM始终在用这把精度很低的尺子去度量输入，那么每次都会有一定的测量误差（对应于SDM输入端与反馈回路的相减，即delta）存在；产生的这个误差才是真正用来度量输入信号的最小精度；之后将这个测量误差逐次累加（对应于内部前馈回路中的积分器，即sigma）来求得输入信号的数字表示，整个过程实际类似于机械中的游标卡尺。

为了定量分析SDM的精度特性，一般需要从频域的角度来考虑，对应图2-5的线性数据流图表示为：

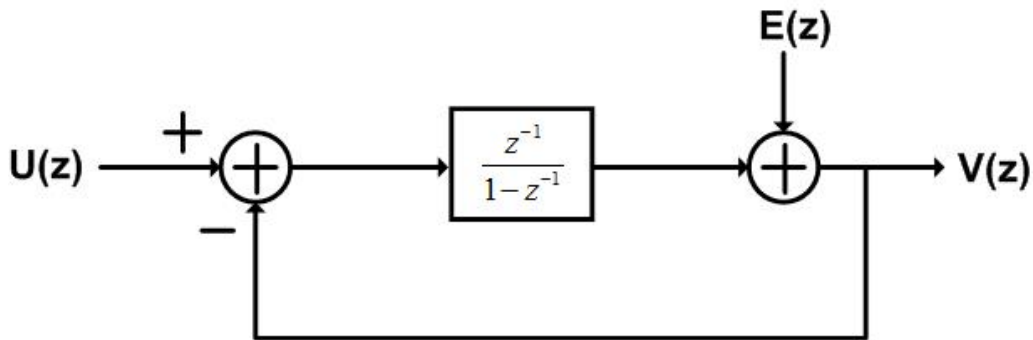


图2-6 1阶SDM的理想线性模型

在图2-5中积分器用一个传输函数为  $\frac{z^{-1}}{1-z^{-1}}$  的理想积分器替代，而量化器采用简单的加

性白噪声来替代，可以看出在这里我们假设其增益k为1，但实际上电路比这个更为复杂，正如2-7式所表示的那样k是一个和输入统计量有关的函数。

根据图2-6所示的线性模型我们可以得到：

$$V(z) = U(z) + (1 - z^{-1})E(z) \quad (2-10)$$

为了区别原始输入和量化噪声对SDM输出信号的影响，我们定义了信号传输函数(STF)和噪声传输函数(NTF)：

$$STF(z) = 1 \quad (2-11)$$

$$NTF(z) = 1 - z^{-1} \quad (2-12)$$

可以看到，NTF对于原始输入信号是没有影响的，但是对于量化噪声有一个低频( $z=1$ )抑制作用：

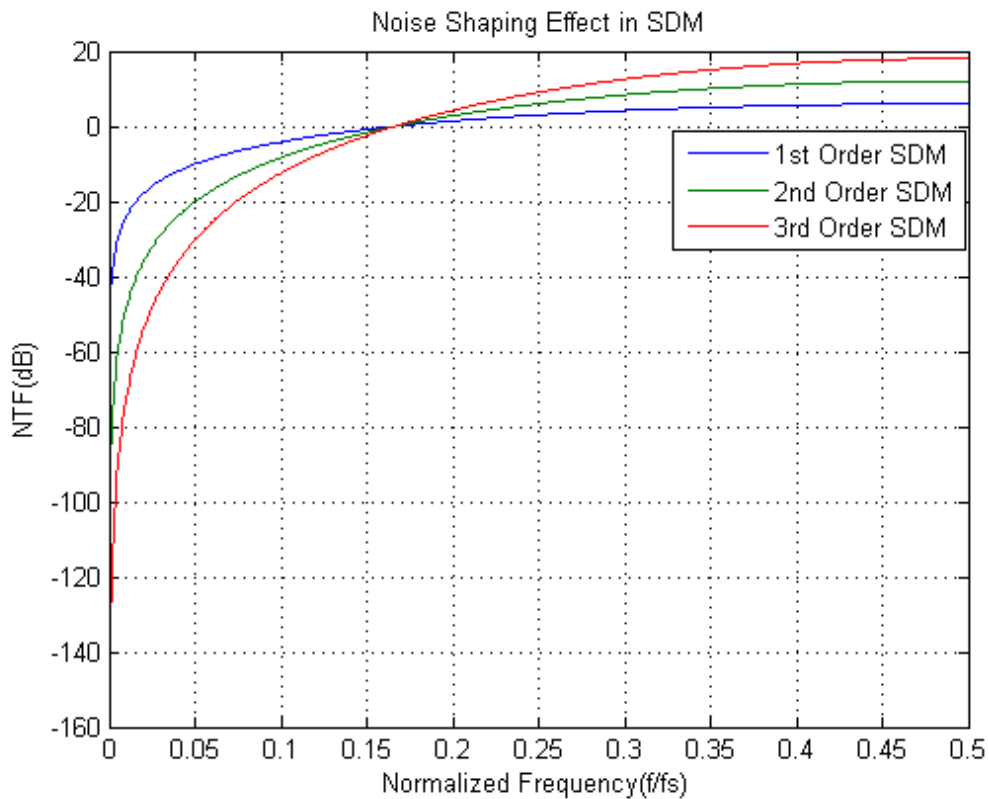


图 2-7 噪声整形在 SDM 中的应用

在图 2-7 中可以发现对于 SDM 来说存在噪声整形 (Noise Shaping) 的作用，而且随着 SDM 的阶数上升，噪声整形的作用在信号带宽 (低频段) 更加明显。

一般的，可以得到一阶 SDM 的 SNR 为：

$$SNR = \frac{9M^2OSR^3}{2\pi^2} \quad (2-13)$$

随着 OSR 的加倍，一阶 SDM 的性噪比将会提升 9dB。

### 2.2.2 高阶SDM的通用结构与环路滤波器 (Loop Filter)

在 2.2.1 节中已经给出了高阶 SDM 噪声整形的作用，实际上 SDM 的阶数由其中串联的积分器数目决定。随着阶数的上升，SNR 也越高，性能也越好。但是相对应的稳定性就会下降。一般来说，通用的高阶 SDM 可以用环路滤波器 (Loop Filter) 来表征：

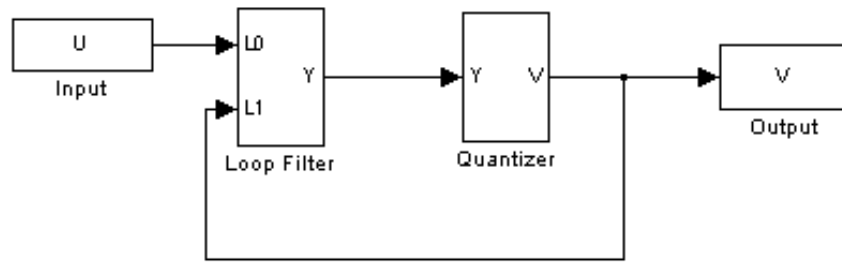


图 2-8 SDM 的一般形式

Loop Filter 是一个线性器件，可以用下面的传输函数方程进行表示：

$$Y(z) = L_0(z)U(z) + L_1(z)V(z) \quad (2-14)$$

通过图 2-8 的通用结构，可以很容易得到整个 SDM 的 STF 与 NTF 与 Loop Filter 的两个系数的关系：

$$STF(z) = \frac{L_0(z)}{1 - L_1(z)} \quad (2-15)$$

$$NTF(z) = \frac{1}{1 - L_1(z)} \quad (2-16)$$

通过观察式 2-15 与 2-16 能够得出以下结论：

- 1) 为了使得 SDM 的噪声整形效果在信号带宽内明显， $L_1(z)$ 在信号带宽内幅度大（极点在信号带宽内）
- 2) 因为 STF 要保证信号不失真，所以  $L_0(z)$ 在信号带宽内幅度也需要大来抵消  $L_1(z)$ 对 STF 的影响
- 3) 在电路具体实现中， $L_0(z)$ 与  $L_1(z)$ 一般是共享同样的极点，但是不同零点
- 4) 为了电路可实现性，在 SDM 中的环路必须是至少有一个延时，即  $L_1(z)$ 必须至少有一个延时，也就是：

$$L_1(\infty) = 0 \quad (2-17)$$

### 2.2.3 SDM 的稳定性研究

由于 SDM 的电路存在量化器部分，所以其稳定性的理论分析正如式 2-7 所揭示的那样很难进行理论分析，所以只存在一部分的经验公式。在参考文献<sup>[5]</sup>中给出了一些粗略的判据。

首先 SDM 的稳定性主要会导致电路部分的异常，比如一个比较大的输入会使得每次第一级积分器的输入都会很大，那么运放可能就会饱和或者量化器会饱和（进入过载区）。所以稳定性一般对应的是一个稳定输入值的大小，并且一般在理论分析缺乏的情况下，可以使用仿真（因为仿真时间的问题，一般为行为级的仿真）来验证确保 SDM 的稳定性。

对于单比特 ADC 的 SDM 而言，Lee Criterion<sup>[6]</sup>:

$$\max_{\omega} |NTF(e^{j\omega})| < 1.5 \quad (2-18)$$

一般来说 Lee 准则的传输函数最大值一般选取在  $\omega = \pi$  处，因为这里是离零点最远的地

方。

### 2.2.4 SDM的NTF与STF的综合

在之后的自动生成 SDM 的工具中会用到一个关于已有的工具包<sup>[7]</sup>。在这个工具包中会给出一个 NTF 与 STF 经过一定优化的 SDM；之后我在完成自动生成行为级模型时，会用到这个工具包来生成 SDM 的系数。

需要说明的是这里给出的零极点优化方法都不是最优的。

#### 2.2.4.1 SDM 中 NTF 的零点优化

在高阶 SDM 中，一个 N 阶的 SDM 其 NTF 最简单的形式为  $(1 - z^{-1})^N$ ，但是在这种情况下 NTF 所有的 N 个零点都是在 DC 处，直观上对于噪声整形而言不是最优的一种解，最优的情况应该是均匀分布在信号带宽内。

比如对于 2 阶 SDM，NTF 的零点由 1 变为  $e^{\pm j\alpha}$ （由于 NTF 系数实现均为实数，所以零点为共轭对称）。假设 NTF 的极点在信号带宽内，对于 NTF 的模值近似是一个常数（这一点也是之后的极点优化中的一个目标），那么为了最大化 SDM 的 SNR，需要最小化 NTF 在信号带宽中的大小，即抑制噪声的能力增强，

$$\begin{aligned} & \arg \left\{ \min_{\alpha} \left[ \int_0^{\omega_B} |NTF(\omega)|^2 d\omega \right] \right\} \\ &= \min_{\alpha} \int_0^{\omega_B} \left[ 4 \sin\left(\frac{\omega - \alpha}{2}\right) \sin\left(\frac{\omega + \alpha}{2}\right) \right]^2 d\omega \end{aligned} \quad (2-19)$$

在 OSR 非常大的情况下，即

$$\omega_B = \Omega_B T_s = \Omega_B \frac{1}{OSR * 2f_B} = \frac{\pi}{OSR} \rightarrow 0 \quad (2-20)$$

结合式 2-19 和 2-20，可以得到：

$$\begin{aligned} & \min_{\alpha} \int_0^{\omega_B} \left[ 4 \sin\left(\frac{\omega - \alpha}{2}\right) \sin\left(\frac{\omega + \alpha}{2}\right) \right]^2 d\omega \approx \min_{\alpha} \int_0^{\omega_B} (\omega^2 - \alpha^2)^2 d\omega \\ & \frac{\partial \left( \int_0^{\omega_B} (\omega^2 - \alpha^2)^2 d\omega \right)}{\partial \alpha} = 0 \\ & \alpha_{opt} = \omega_B / \sqrt{3} \end{aligned} \quad (2-21)$$

更一般可以求得对于任意阶数的最优零点的数值解：

表 2-1 NTF 优化的零点位置

SDM 阶数	优化的零点（对信号带宽 $\omega_B$ 归一化）
1	0
2	$\pm 1/\sqrt{3}$
3	$0, \pm \sqrt{3/5}$
...	...

这些数据在<sup>[7]</sup>中是放在 `ds_optzeros` 函数中保存。可以看到这里零点对应最优 SNR 是有两个主要假设：一是 OSR 要足够高，二是 NTF 的极点在信号带宽内足够平坦。所以这并不能算是一个最优的算法，只是相对比较优化的算法。

#### 2.2.4.2 SDM 中 NTF 的极点优化

在 NTF 的极点优化过程中主要有以下几个点需要考虑：

- 1) 在零点优化的过程中假设了极点是在信号带宽内最大的平稳分布
- 2) SDM 的稳定性考虑，即 Lee 准则 (2-18)
- 3) 电路实现性的考虑，即式 2-17

其中第三点可以考虑为 NTF 的零极点数目相同，且增益为 1，即

$$NTF(z) = \frac{\prod_{i=1}^N z - z_i}{\prod_{i=1}^N z - p_i} \Leftrightarrow NTF(\infty) = 1 \quad (2-22)$$

然后为了考虑其中的 1,2 两点，我们假设 NTF 的分母为多项式  $P(z)$ ，那么条件 2 就可以等效成为：

$$\begin{aligned} |P(e^{j\omega})|^2 &= P(e^{j\omega})P^*(e^{j\omega}) \\ &= P(e^{j\omega})P(e^{-j\omega}) = P(z)P\left(\frac{1}{z}\right)\Big|_{z=e^{j\omega}} \end{aligned} \quad (2-23)$$

所以在信号带宽 (DC 附近) 最为平坦等效于  $P(z)P(1/z)$  在  $z = 1$  处最为平坦。在工具包<sup>[7]</sup>中假设了  $P(z)$  具有如下的形式：

$$P(z)P\left(\frac{1}{z}\right) = P(1) + a(z-1)^n \left(\frac{1}{z}-1\right)^n \quad (2-24)$$

式 2-24 中  $a$  是一个控制平坦的变量，当  $a = 1$  时， $P(z)$  最为平坦（即为常数），通过求解式 2-24 可以得到对应的  $P(z) = 0$  的解，即为 NTF 的极点：

$$\begin{aligned} 1 + a(z-1)^n \left(\frac{1}{z}-1\right)^n &= 0 \\ a(z-1)^{2n} + (-z)^n &= 0 \\ z^2 + b_k z + 1 = 0, b_k &= \frac{e^{j\frac{(2k+1)\pi}{n}}}{a^{1/n}} - 2 \end{aligned} \quad (2-25)$$

公式 2-25 中求解出  $2n$  个解，其中  $n$  个为  $P(z) = 0$  的解，选取在单位圆 ( $|\text{root}| < 1$ ) 的  $n$  个解作为 NTF 的极点，但是其中含有一个未知的平坦控制变量  $a$ 。这个  $a$  的确定使用 Newton Raphson 迭代法来确定<sup>[8]</sup>，这是一种二次收敛的高效算法。

将条件 1 稳定性作为目标，设定函数：

$$f(a) = |NTF(e^{j\pi})| - 1.5 \quad (2-26)$$

使得式 2-26 等于 0，即满足 Lee 准则，反复迭代求解：

$$a_{i+1} = a_i - \frac{f(a_i)}{f'(a_i)} = a_i - \frac{f(a_i)}{\frac{f(a_i) - f(a_{i-1})}{a_i - a_{i-1}}} \quad (2-27)$$

经过多次迭代求解得出的 NTF 极点，使得本节一开始所要求的三点都得到满足。

### 2.2.5 SDM 环路滤波器的几种常见结构

SDM 的 NTF 和 STF（一般可以选取  $STF = 1$  或  $|STF|$  在信号带宽内近似恒定）选定后，则可以使用这两个传输函数映射到具体的 Loop Filter 的结构。一般来说有四种基本的结构，当然也会有这四种混合型，为了一些电路实际的考虑比如稳定性，或者对电容失配敏感度。最为常见的是 CIFB（级联积分器反馈），这也是我在 Simulink 中可以实现自动生成的一种电路：

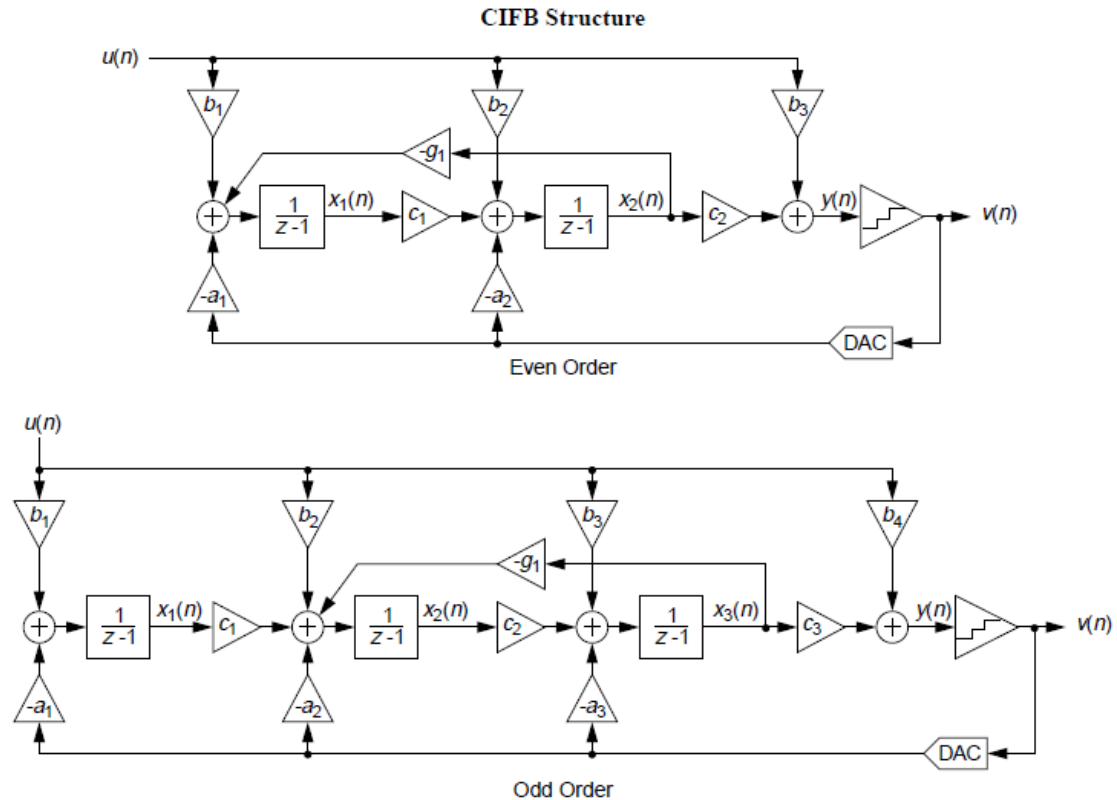


图 2-9 CIFB 结构的 SDM

在上图 CIFB 结构是由级联的延时积分器  $\frac{1}{z-1}$  构成，其中的系数 a 项完成由 SDM 输出到积分器输入的反馈，所以称为 CIFB 结构。

可以通过对信号流图的分析得到 CIFB 结构的  $L_0(z)$  与  $L_1(z)$ 。继而获得对应的 NTF 和 STF。这里我简单总结下 CIFB 结构中系数对应于 NTF 和 STF 的关系。

1) 反馈系数 a 决定 NTF 和 STF 的极点（正如前面所表述的那样两者一般在电路中是共享极点）

2) 反馈系数 g 决定 NTF，如果  $g = 0$  那么所有的 NTF 零点为  $z = 1$ ，像 2.2.4.1 中那样在需要优化零点时，必须要有系数 g

3) 前馈系数 b 决定了 STF 的零点，一般情况下有两种选择方式：在  $b_i = a_i$  的情况时， $STF = 1$ ；在  $b_i = a_i$ ，且其他系数  $b = 0$  时，STF 则是按照 NTF（STF）极点选择那样在信号带宽内平坦，之后衰减（由于频率远离零点接近极点），即：



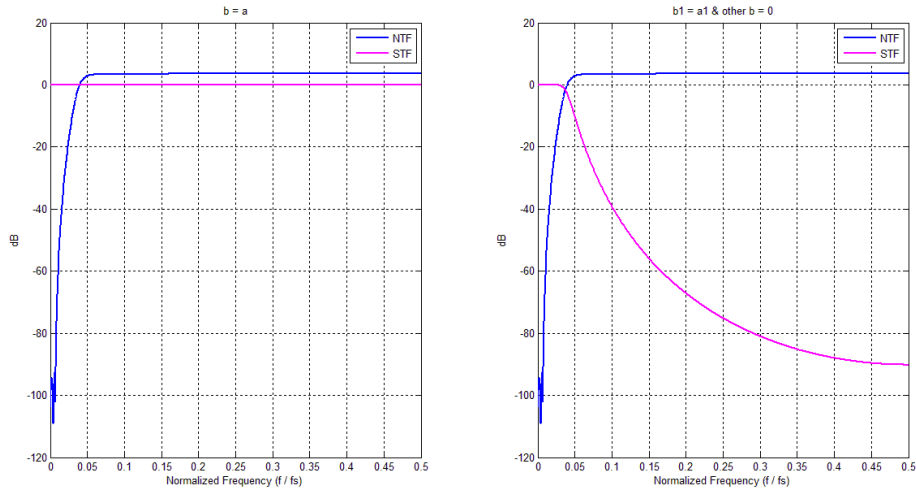


图 2-10 系数  $b$  对 STF 的影响

4) 在积分器后的系数  $c$  都为 1 (即对 STF 与 NTF 都没有影响), 但在之后会提到, 这里的系数是由于要限制每一级积分器输出摆幅而引入的比例系数 (Scaling) 另外还有三种基本变形分别是 CIFF, CRFB, CRFF。这里的区别在于 CR 结构中会存在一个没有延迟的积分器, 即传输函数为  $\frac{z}{z-1}$ , 这样的好处是得到的 NTF 零点会恰好分布在单位圆上, 反之在 CI 结构中有延迟的积分器会导致零点近似在单位圆上(实际位于单位圆外)。另外 FF 结构的含义为相对于 FB 电路, 其中的反馈回路会变为前馈回路, 相对的优点是减少环路滤波器输入电压的大小, 从而使实际电路中的失真减小。

### 2.3 理想 SDM 的 Matlab / Simulink 行为级仿真

之前简要介绍了 SDM 原理, 在这一节中给出一个理想的 SDM 行为级建立与仿真。根据之前 SDM 的相关知识, 一般综合 SDM 的行为级过程需要的步骤有如下几点:

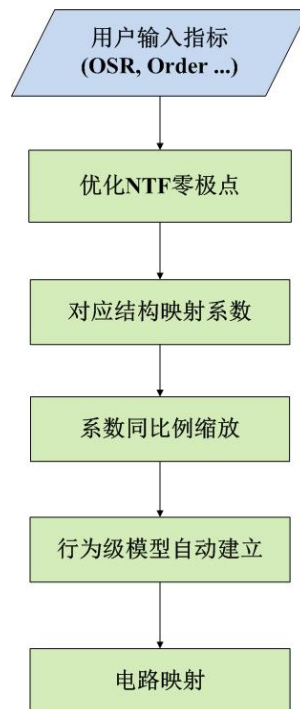


图 2-11 综合 SDM 行为级模型流程

在这里以一个 3 阶，OSR 为 256 的 SDM 行为级设计为例。

按照 2.2.4 节中的优化方法可以得出对应的零极点

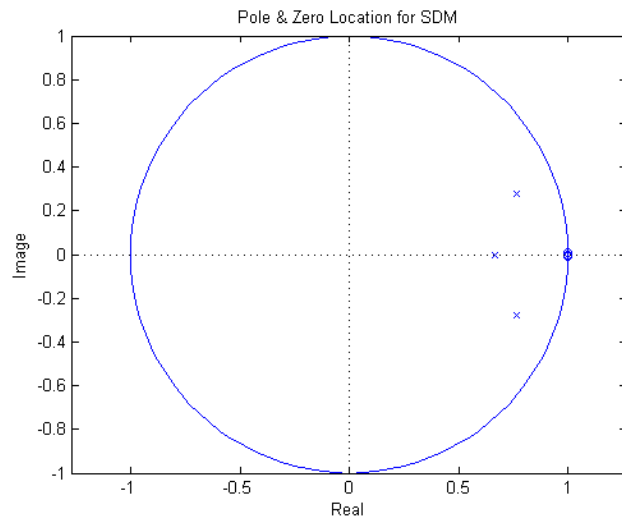


图 2-12 优化的 NTF 零极点

之后按照 2.2.5 节中所描述的 CIFB 结构将 NTF 和 STF 映射为系数：

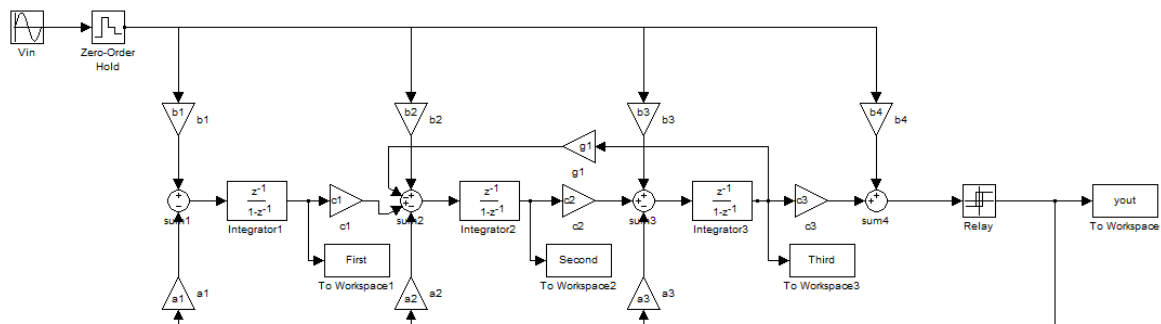


图 2-13 对应优化零极点的 CIFB 结构

尽管在这样的情况下使用理想的 Simulink 得到的电路性能接近理论，但是在实际电路中却存在动态范围（Dynamic Range）的限制，即每一级积分器的输出范围是取决于运放的输出范围。可以得到在这样的情况下每一级运放的输出统计图为：

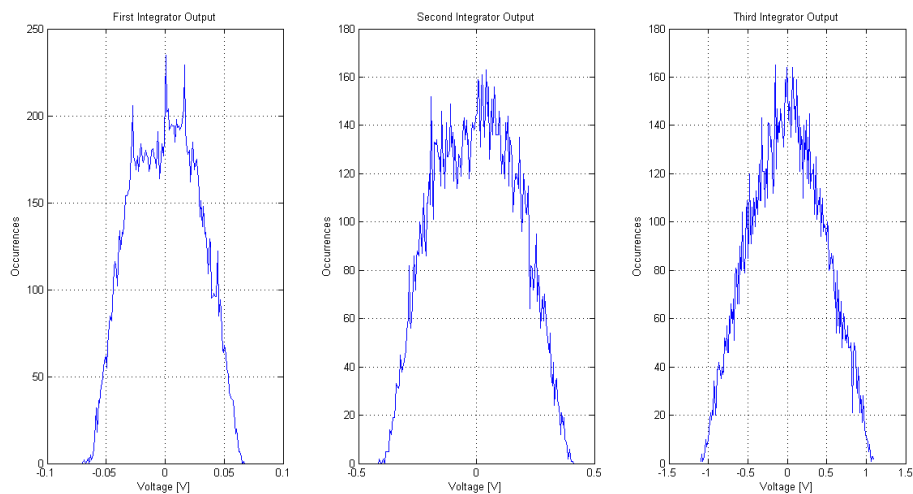


图 2-14 没有比例缩放的各个积分器输出统计图

这时第三级的积分器输出会有超过  $\pm 1$  的范围，如果运放设计中需要输出摆幅范围在

+/-1 之内，那么这样的系数就会对电路最后性能产生影响。

所以为了避免这种情况的出现，就必须在图 2-11 流程图上额外加入一步动态范围的同比例系数缩放，即

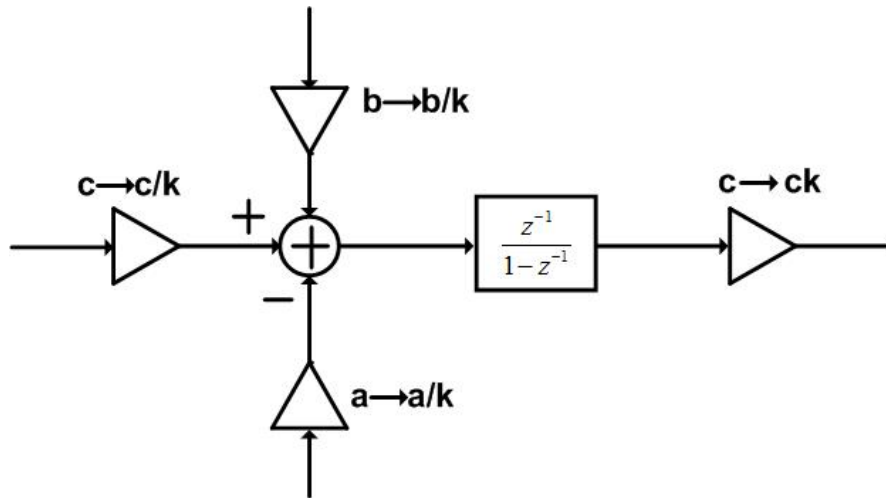


图 2-15 SDM 中的同比例缩放 (scale)

之后在经过 Scale 的情况下 SDM 整体的传输函数不变，但是每一级积分的输出端的大小就相应减小了 k 倍。

如果假设运放的输出范围为 0.9，那么最后综合得到的积分器输出范围的统计图为：

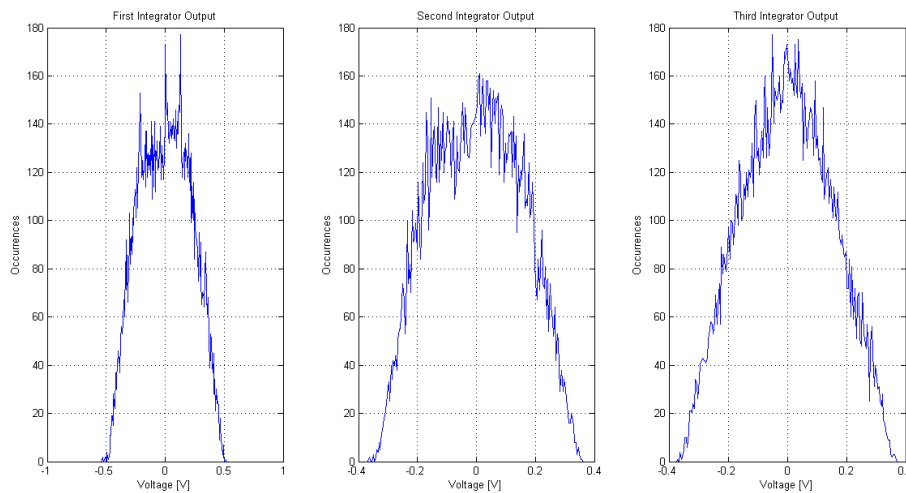


图 2-16 经过 Scale 的积分器各级输出

比较图 2-14 经过 Scale 后各级运放的输出都比较合理，范围都在 0.9 以下，并且每一级的输出范围都比较均匀。

最后得到一个总体的 ADC 的 PSD 曲线：

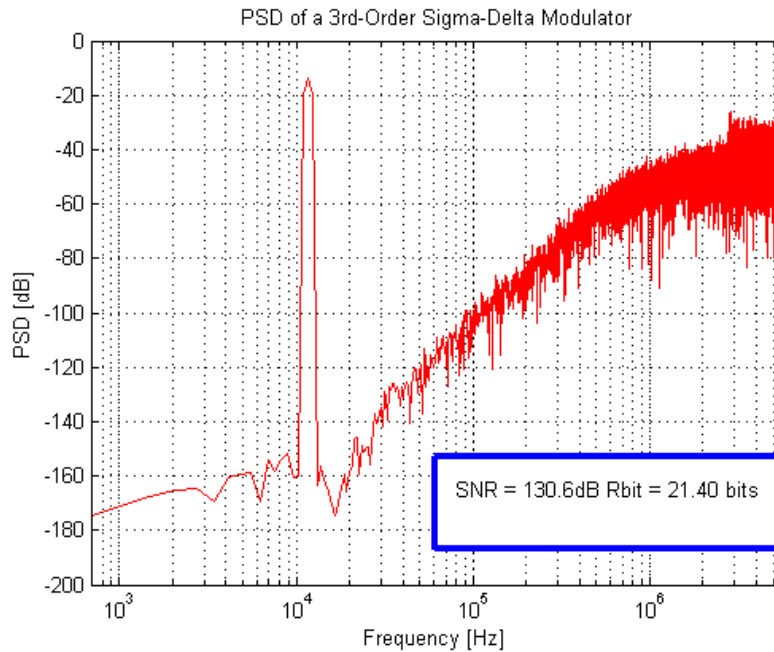


图 2-17 理想 SDM 的 PSD

如图所显示的那样有效比特数达到了 21 比特，这就是 SDM 电路高精度的体现。并且可以从图中很明显的看出之前提到的噪声整形的效果，其中对应的一个高峰就是原始输入信号。

## 2.4 SDM 的功率谱密度（PSD）测量

在本节最后需要简略说明下 PSD 与 SNR 的测量，就像图 2-17 所画的曲线那样，我们是通过时域信号做一定频谱变换得到最后的 PSD，从中提取 SNR。

### 2.4.1 PSD 基本定义

假设通过仿真软件（行为级或电路级）得到一连串时域的信号：

$$v_{out}[n] = v_{out}(nT_s) \quad (2-28)$$

之后 PSD 的概念是对一个时域信号作自相关函数的傅里叶变化，即：

$$PSD(f) = Fourier\{E(v[n]v[n+k])\} \quad (2-29)$$

不过对于广义平稳信号，PSD 可以用傅里叶变化来等效（维纳-辛钦定理）：

$$PSD(f) = |DFT(v[n])|^2 \quad (2-30)$$

PSD 的定义规则同概率中的概率谱密度相同，也就是对 PSD 的积分表征的是信号的功率，所以很容易引申到 SDM 的 SNR 上：

$$SNR = \frac{P_s}{P_n} = \frac{\int_{SignalBW} PSD_s(f)df}{\int_{NoiseBW} PSD_n(f)df} \quad (2-31)$$

### 2.4.2 窗函数的作用

在对输出信号做频谱分析（DFT 或 FFT）时，肯定会对输出信号做截断，因为在实际仿真中无法对无限长的信号做截断，所以为了减少这个截断带来的误差，一般不直接进行数据截断（等效于加矩形窗），而是加汉宁窗。

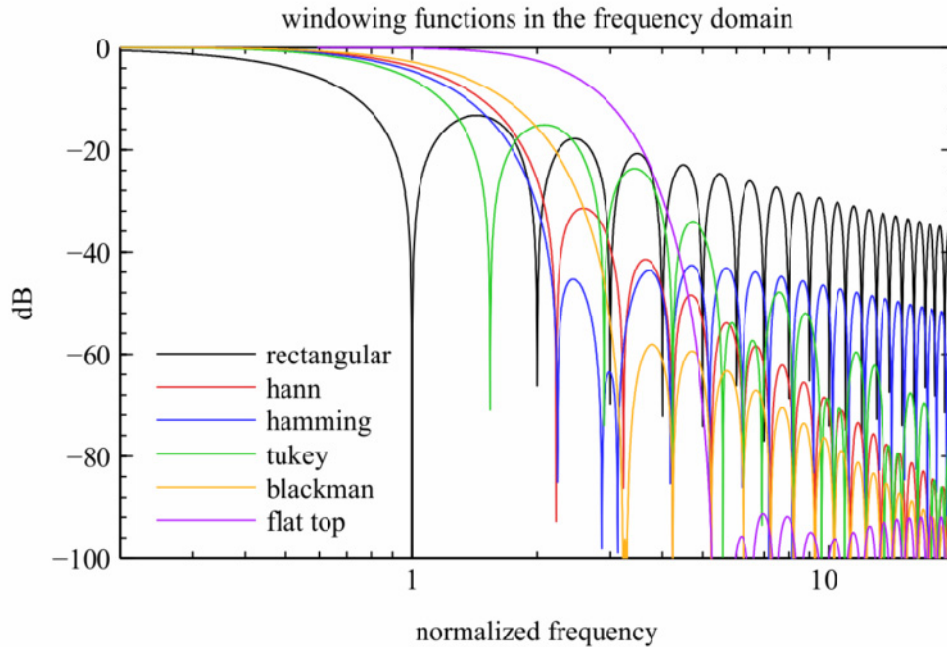


图 2-18 常见窗函数的频域响应

从图 2-18 中可以看出相较于矩形窗，汉宁窗虽然主瓣比较宽，但是旁瓣的幅度较小，所以在做频谱分析时对于原始信号的影响比较小，由 DFT 的相关性质：

$$v[n]w[n] \leftrightarrow \frac{1}{N} \sum_{l=0}^{N-1} V(l)W((k-l))_N \quad (2-32)$$

原始的信号与窗函数相乘在频域为循环卷积，那么在信号频带附近如果窗函数的高频附近比较大将导致将一些高频附近的量加到信号带宽内，这个情况就是噪声泄露（Noise Leakage），不过由于加窗之后，Hann 窗主瓣宽度为 3 个频域点（Bin），所以在图 2-17 中的输入信号会有一定的带宽（3 个 Bin）。

最后将一个上节例子中的信号不加 Hann 的频谱作比较：

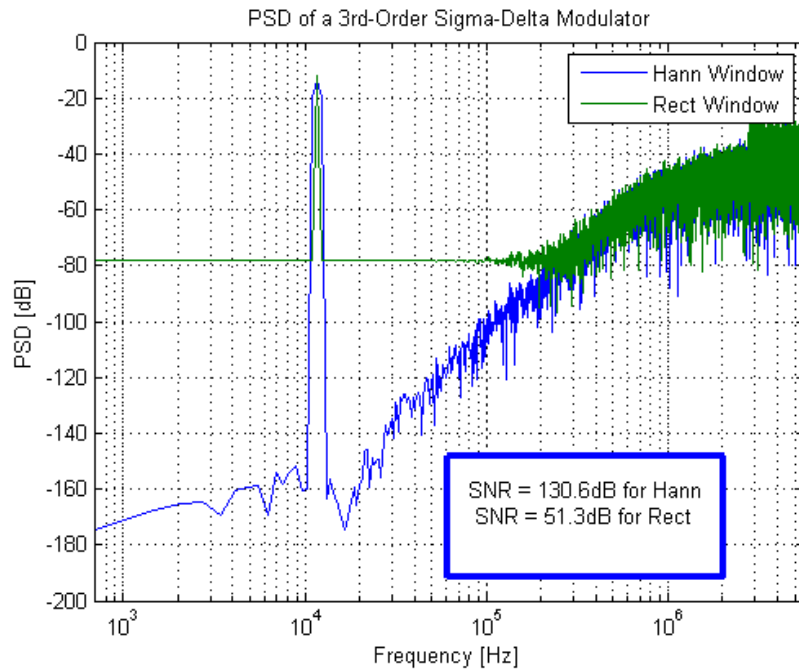


图 2-19 加窗对 PSD 和 SNR 的影响

可以看出窗函数对于最后 SNR 的影响非常巨大，尤其在阶数高的情况下此时高频的噪声幅度更高，因而直接使用矩形窗会将高频分量直接卷积到信号带宽中去，影响 SDM 最终 PSD 的低频特性。

#### 2.4.3 测试信号的选取与频谱模糊 (smear)

一般来说为了测试 SDM 的输出 PSD 和 SNR，使用的输入信号就是单频的正弦信号，但是在选取上需要注意两方面：

- 1) 幅度不能过大，否则导致 SDM 不稳定
- 2) 输入频率的选择正好位于 FFT 的一个 Bin 上，否则会存在频谱模糊 (smear)

其中条件 1 主要在 2.2.3 节中阐述了，这里就条件 2 说明下，在选取输入信号频率的时候，需要对信号做 FFT，但是 FFT 是对离散傅里叶变换的采样，也就它只能表示有限的频率点，即

$$\Omega = \omega / T_s = \frac{2\pi}{N} k F_s, k = 0, 1, \dots, N-1 \quad (2-33)$$

所以在选择输入频率时，需要对应 2-33 式的几个离散的模拟频域点，否则分析的时候会出现这样的谱密度：

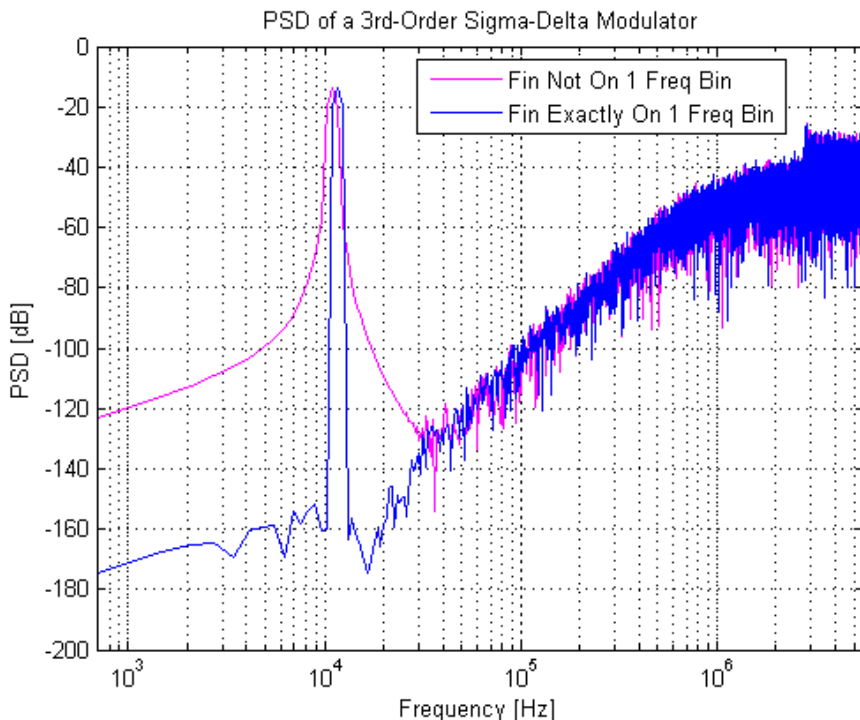


图 2-20 频谱模糊 (smear)

从图中能发现输入信号由于不在 FFT 变换的一个频率点 (Bin) 上, 导致会有相应的部分量值分布在其他频率点上, 造成频谱模糊。

#### 2.4.4 原始信号的提取

尽管可以很容易得到输出信号的 PSD, 不过为了计算 SNR, 还需要知道原始信号的功率和噪声的功率, 有两种不同的方法来计算信号最后的 SNR, 其中一种简单的方法是, 选择输出信号的 PSD 中对应原始输入信号的 Bin 作为输入信号, 其他基带带宽内的默认为噪声 Bin, 即

$$SNR = \frac{\sum_{i \in \text{SignalBW}} PSD[i]}{\sum_{\substack{i \notin \text{SignalBW} \\ i \in \text{BaseBW}}} PSD[i]} \quad (2-34)$$

不过这种方法做出来的结果会略高于实际值, 因为信号对应的 Bin 中也存在一部分噪声贡献, 所以一种更加复杂但是精度更高的方法是从输出信号中提取出对应原始频率的正弦输入信号, 之后的噪声信号为输出信号减去提取出来的输入信号, 即:

$$SNR = \frac{P_s}{P_n} = \frac{\sum_{bin \in [1, \text{baseband}]} |FFT(\text{signal})|^2}{\sum_{bin \in [1, \text{baseband}]} |FFT(\text{out} - \text{signal})|^2} \quad (2-35)$$

其中原始信号的提取可以通过一些 FFT 相关性质推导得出为:

$$v_{in}[n] = \frac{1}{N} \left\{ \sum_{i=1}^N 2v_{out}[i] \cos\left(2\pi \frac{F_{in}}{F_s} i\right) \cos\left(2\pi \frac{F_{in}}{F_s} n\right) + \sum_{i=1}^N 2v_{out}[i] \sin\left(2\pi \frac{F_{in}}{F_s} i\right) \sin\left(2\pi \frac{F_{in}}{F_s} n\right) \right\} \quad (2-36)$$

比较这两种计算 SNR 的不同方法，我们最后得出两者计算结果的比较：

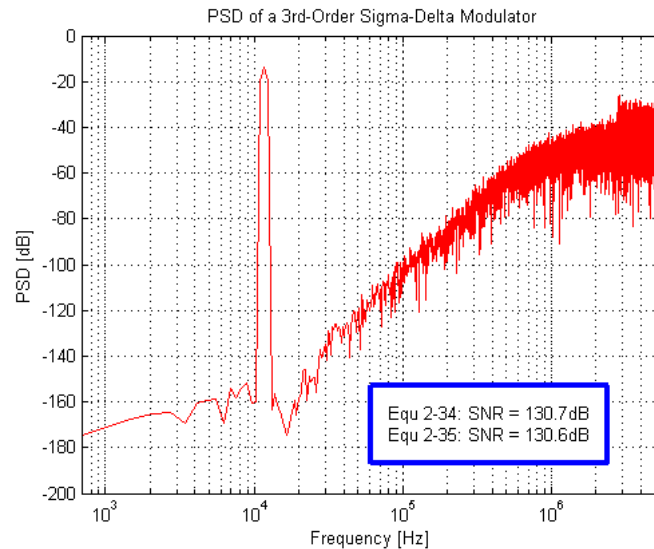


图 2-21 两种 SNR 的计算比较

可以看出式 2-34 与 2-35 这两种算法得到的 SNR 十分接近，所以可以互相通用。

## 2.5 本章小结

在本章中讨论了 ADC 和 SDM 的相关知识，并且给出了理想的 3 阶 SDM 行为级模型设计实例和最终 PSD，SNR 性能指标参数。之后将会详细讨论电路级设计 SDM，并在目前理想行为级电路基础上添加和电路级相关的非理想参数模块，使得行为级和电路级仿真结果逐步接近。最后需要指出的是，像图 2-13 这样的 CIFB 结构已经被我封装成 Matlab 的脚本程序，完全可以自动生成任意阶数的 CIFB 结构，并且也会包含之后会讨论到的一些非线性模块。



### 第三章 SDM电路级设计

在第二章着重讨论了 SDM 理论基础以及一个 SDM 理想的行为级设计实例，但并没有说明电路级如何实现诸如积分器，内置 ADC，DAC 等。本章主要说明这一部分电路级设计实例，并且只有在这一部分电路级设计实例的基础上才能够完成和行为级仿真结果的对比和研究。本章所有电路均是基于 TSMC 0.18um 工艺库，在 Cadence SpectreRF 上完成仿真。

#### 3.1 连续时间 (CT) 与开关电容电路 (SC) 实现

在 SDM 电路实现中主要有两种不同的实现方式分别是 SC 与 CT，主要区别在于 SDM 中的积分器的两种不同实现方式，这次论文主要讨论的是 SC SDM 的行为级仿真，并且确实在实际应用中 SC 的实现方式所占比重较大，这两者主要性能的比较：

表 3-1 CT 与 SC 电路实现的比较

	优点	缺点
开关电容电路 (SC) 实现	直接从行为级映射到电路级，方便设计与综合 由于对于电容失配的影响相较于 CT 较小，非常适合于当今的 CMOS 工艺设计	需要一个比较精准的时钟控制 受限于采样频率的限制，不能工作于高频且电路的功耗较大
连续时间 (CT) 实现	可以工作在较高频率	对时钟抖动敏感 器件精准度对最后 SDM 性能影响较大，比如在当今 CMOS 下较难制作一个非常准确的电阻

在表 3-1 中只罗列了一部分这个两种电路的优缺点比较，下面就针对 SC SDM 的电路形式设计展开。

#### 3.2 积分器电路实现

模拟电路中的积分器可以使用传统的运放，电阻，电容这三种器件构成<sup>[9]</sup>：

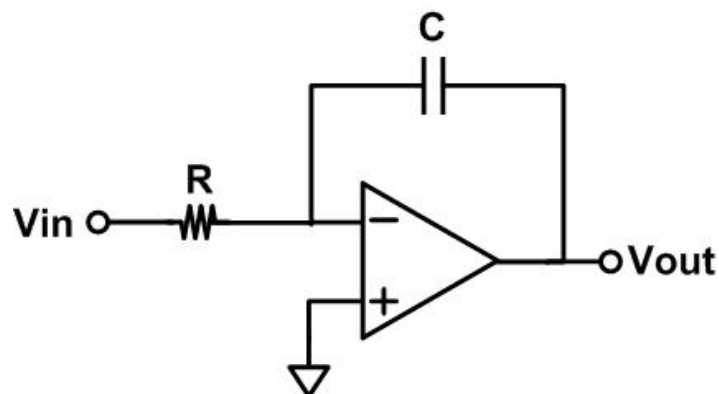


图 3-1 传统的模拟电路积分器

这也是通常 CT SDM 的基本构成单元，可以直接分析其传输函数为：

$$H(s) = \frac{V_{out}(s)}{V_{in}(s)} = -\frac{1}{RCs} \quad (3-1)$$

式 3-1 对应于拉式变换的积分传输函数，但在 SC 电路中，积分器中的电阻 R 可以用开关和电容实现<sup>[10]</sup>：

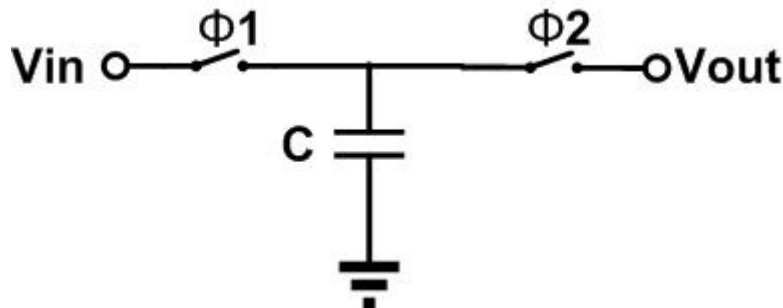


图 3-2 SC 电路基本原理

在图 3-2 中的开关电容电路实际等效于一个电阻作用，两个相位的时钟  $\Phi_1$ ， $\Phi_2$  是互不重合的两个相位，如果两个开关的速度非常快，那么等效流过两个电压端口的电流值为：

$$i = \frac{Q}{T_s} = \frac{C(V_{out} - V_{in})}{T_s} \quad (3-2)$$

从上式可以发现十分容易将电阻用图 3-2 这样的开关电容结构来替代，并且这个电阻值大小取决于开关切换的频率和电容大小。最后一点就是电阻的等效同样需要满足 Nyquist 采样准则，即

$$F_s > 2F_{baseband} \quad (3-3)$$

这一点对于 SDM 这种过采样 ADC 来说是满足的。最后只需要将图 3-1 中的电阻替代成图 3-2 的开关电容电路就可以得到 SC 的积分器：

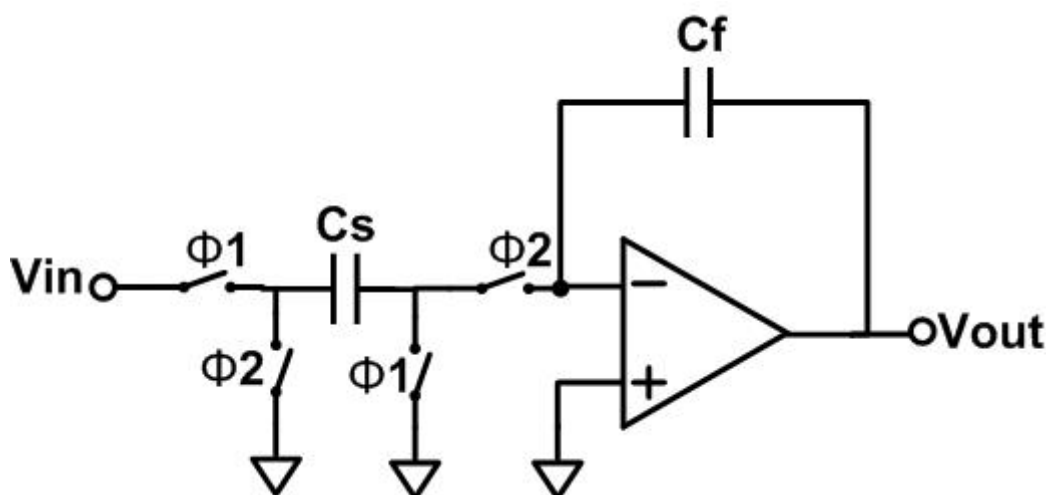


图 3-3 SC 积分器

理论分析这种 SC 电路一般采用电荷守恒定理，该电路具有两个不重叠的相位：

- 1) 采样周期： $\Phi_1 = 1$

2) 积分周期:  $\Phi_2 = 1$

根据电荷守恒使两个相位的总电荷量相等:

$$C_s v_{in}[n] + C_f v_{out}[n] = C_f v_{out}[n+1/z] = C_f v_{out}[n+1]$$

$$H(z) = \frac{V_{out}(z)}{V_{in}(z)} = \frac{C_s}{C_f} \frac{z^{-1}}{1-z^{-1}} \quad (3-4)$$

可见这个电路对应的就是图 2-13 中 CIFB 结构中每一级的积分器, 这种积分器的形式称作有延时的积分器, 因为在前馈回路中存在一个延迟单元, 在 CRFB 结构中会用到非延时的积分器, 即传输函数为  $\frac{1}{1-z^{-1}}$ , 对应电路只需要改变图 3-3 中四个开关的时钟相位就能实现。在式 3-4 中存在一个常数  $C_s/C_f$ , 而这个常数又可以用来实现 CIFB 结构中的 a, c, b, g 系数, 因而 CIFB 结构中的系数均是 SC 积分器中的电容之比, 这也反应出传输函数系数在 CMOS 工艺下对电容失配的敏感度小。

最后给出一个典型的 SC 积分器电路输出波形:

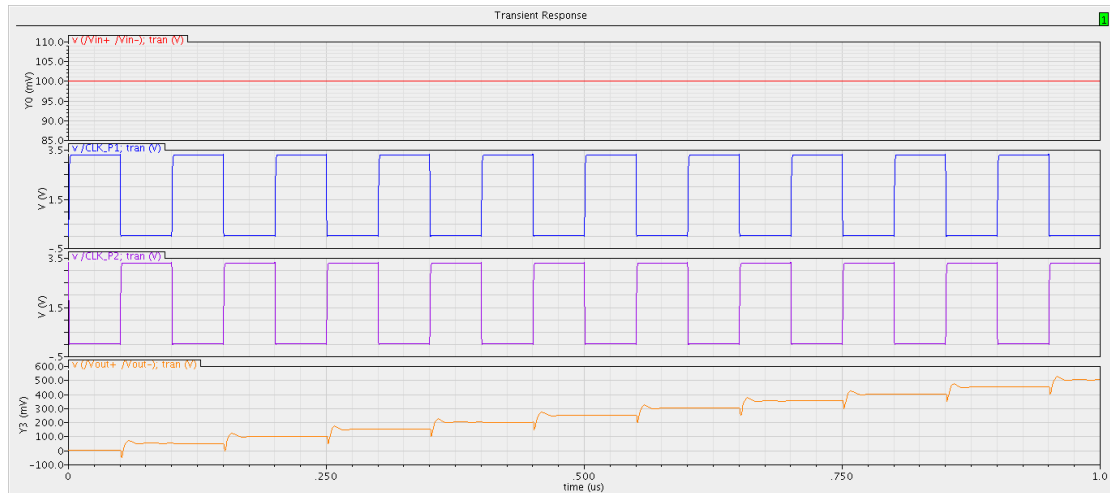


图 3-4 SC 积分器时域响应

在图 3-4 中是一个实际积分器在 Cadence 中的时域响应, 在积分阶段输出信号发生阶跃跳变, 每次输出信号均是一次一次累加前一次信号值 (积分过程)。

### 3.3 反馈回路的实现

在 SDM 中存在反馈回路 (DAC 输出到输入的路径), 在电路中这一部分可以通过类似 SC 积分器的电路来实现:

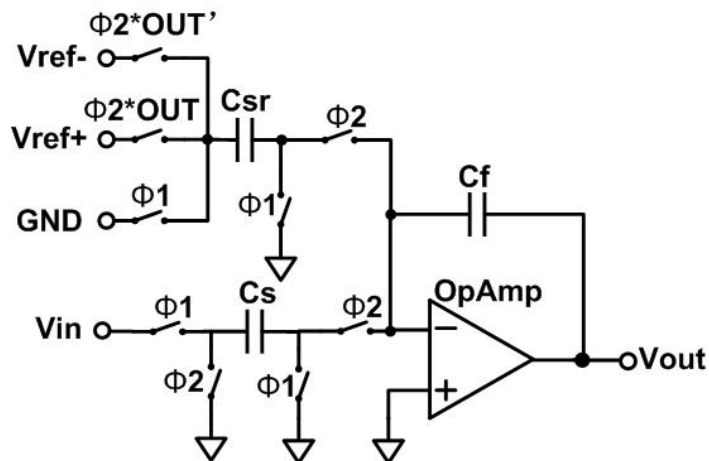


图 3-5 存在反馈回路的积分器实现

直观上可以用电荷守恒来解释，在采样周期时， $C_{sr}$  上的电荷被抽走（两端均是 Gnd）；在积分阶段根据反馈值（Out）的不同，不同的参考电压连接  $C_{sr}$ ，导致出现  $C_{sr}$  吸收在采样阶段积累的电荷或者  $C_{sr}$  提供额外的电荷，这样就形成了图 2-9 CIFB 中的 a 项。理论上通过电荷守恒可以同样得到：

$$H(z) = \frac{V_{out}(z)}{V_{in}(z)} = \begin{cases} \frac{C_s}{C_f} \frac{z^{-1}}{1-z^{-1}} - \frac{C_{sr}}{C_f} \frac{z^{-1}}{1-z^{-1}} V_{ref+}, & Out = 1 \\ \frac{C_s}{C_f} \frac{z^{-1}}{1-z^{-1}} - \frac{C_{sr}}{C_f} \frac{z^{-1}}{1-z^{-1}} V_{ref-}, & Out = -1 \end{cases} \quad (3-5)$$

同样的对于带反馈的积分器进行时域相应的仿真，可以看到输出仍然是为阶梯波形，分别左右两列对应  $Out = 1$  和  $Out = -1$  两种情况。

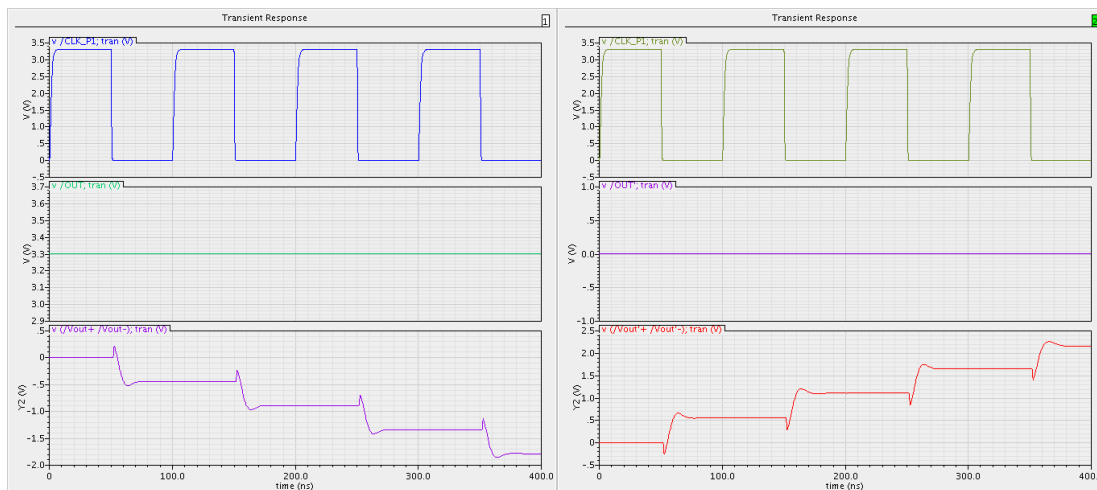


图 3-6 带反馈积分器的时域相应（ $Out = 1$  和  $Out = -1$ ）

图 3-6 和图 3-4 的积分器是对应的，输入也是相同的，区别只是加入了反馈电压。并且可以看出反馈回路是正确的，即在  $Out = 1$  时，输出是阶梯下降；反之是阶梯上升，所以构成的反馈是负反馈。

### 3.4 一阶单端 SDM 结构

在前面的几小节中，讨论了 SDM 中最主要模块积分器的实现方法，在图 2-9 CIFB 结构中，我们知道了所有的系数（a, g, b, c）均是由电容之比实现。剩余的主要模块是 ADC，

DAC 部分的搭建，由于这里主要讨论的是 1 比特 ADC 的实现，所以 1 比特 DAC 即为 ADC 的输出，结合之前反馈的实现方法，我们可以很容易得到一个 SDM 的电路图：

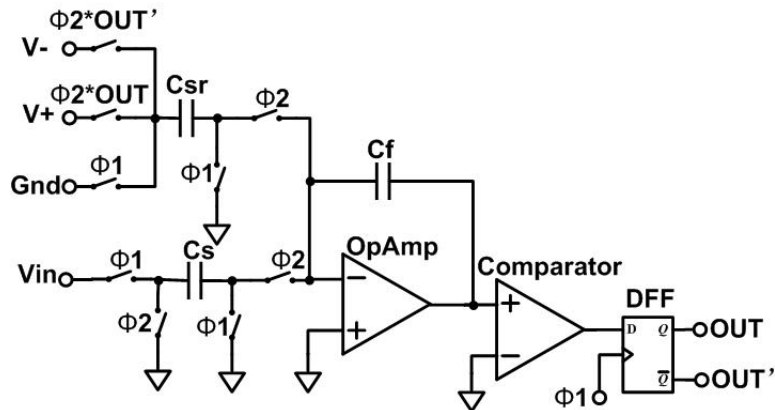


图 3-7 一阶 SDM 电路图

在图 3-7 中给出了一个最简单的一阶 SDM 的实现，其中 1 比特 ADC 和 DAC 是由最后的比较器和 D 触发器（DFF）来实现，在这种情况下输出波形 Out 为  $\{VDD, VSS\}$  的阶跃波形，表征为数字量。更高阶的 SDM 只需简单地串联图 3-7 中的带反馈的积分就可以形成任意阶数的 SDM，从这里也可以明显看出 SC SDM 的实现非常规则，可以直接映射图 2-13 的行为级模型。

最后总结下具体 SDM 电路需要的实现：

- 1) 运算放大器 (OpAmp)
- 2) 1 比特的比较器
- 3) 数字单元，如选通器 (Mux)，与门，DFF 等
- 4) 开关，电容
- 5) 两相位不重叠的时钟生成器

### 3.5 SDM 电路模块实现

在这一节中具体针对上面 SDM 中的各个电路模块设计进行一个简单的阐述，许多结构采用的是比较经典的结构，主要是便于分析并且搭建出电路级别的仿真平台，对于特别的设计比如低功耗，只需要更换其中某些模块单元即可实现。

#### 3.5.1 运算放大器 (OpAmp)

运算放大器设计是积分器的主要模块，且最后 SDM 的性能受这部分设计影响很大。所以这里首先提出运放的设计方法。

在这里运放采用单级实现的方法：

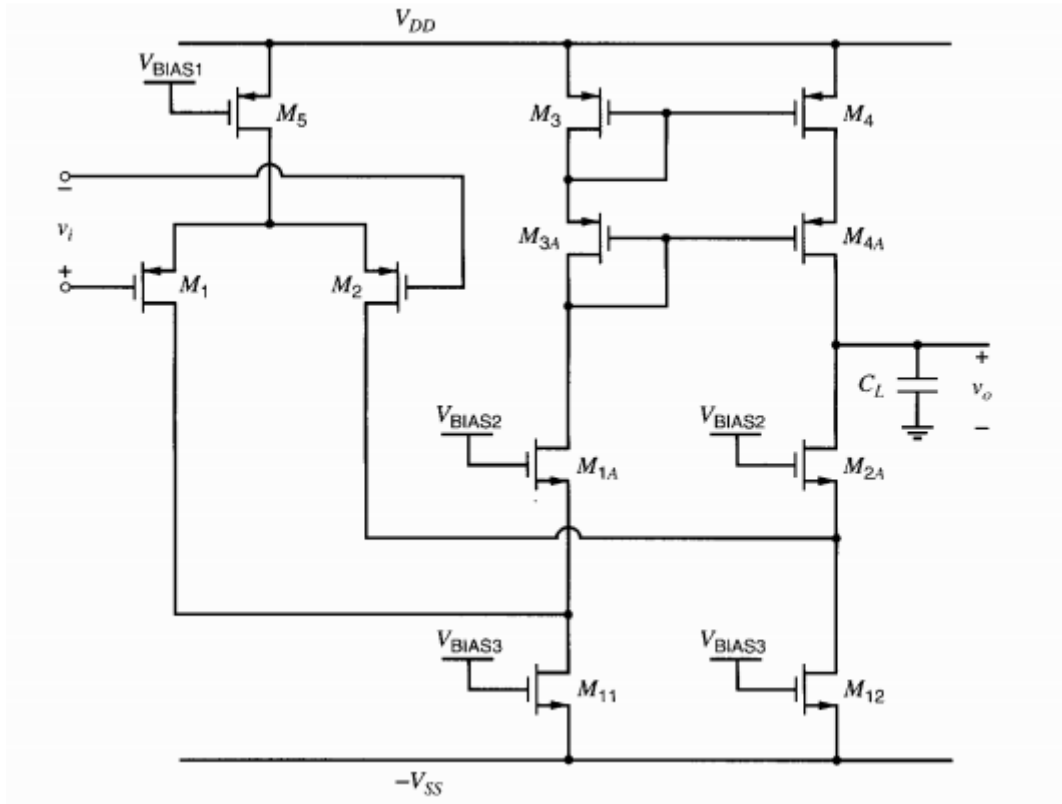


图 3-8 OpAmp 设计

这里运放采用折叠式共源共栅结构<sup>[11]</sup>实现。这种结构主要有如下的优点：

- 1) 输出电压摆幅比较大
- 2) 输入电压摆幅比较大
- 3) 单级增益较高
- 4) 主极点位于电路输出节点，所以负载电容  $C_L$  对频域相应至关重要

这里给出一个大致的电路管子尺寸调整的方法，首先电路中许多的偏置电压实际上是在偏置运放中的偏置电流，一般来说这个值是使用电流镜来偏置这些电压。偏置电流的选择事实上对电路转换速率（Slew Rate）有影响，对 SDM 最后在积分周期内能否稳定收敛（settle）到终值至关重要，所以一个好的运放为了使他的 Slew Rate 高，会让其偏置电流足够高，但是对于低功耗而言是有一个折中。即第一步选定电路 Slew Rate<sup>[12]</sup>：

$$SlewRate = \frac{I_{tail}}{C_L} = \frac{I_{M5}}{C_L} \quad (3-6)$$

其次选定 M11 和 M12 的偏置电流，这个电流值要比  $I_{tail} / 2$  的电流值大，因为：

$$I_{D1A} = I_{D2A} = I_{D11} - I_{tail} / 2 \quad (3-7)$$

然后需要通过在 2.3 节中表述的 SDM 每一级积分器的输出摆幅来设计输出管的宽长比：

$$-V_{SS} + V_{ov} < V_{OUT} < V_{DD} - |V_{tp}| - 2|V_{ov}| \quad (3-8)$$

比如假设运放输出的范围为  $\pm 1$  之间，那么  $V_{out} \in [0.65, 2.65]$ ，通过 3-7 式以及偏置电流大

小，可以求出大致输出级每一个管子的宽长比。其次按照放大增益的要求，可以确定输入管M1,2的 gm 大小，从而确定输入管放大倍数。

最后频率补偿可以直接通过负载电容完成，由于主极点是：

$$pole_{dominant} = -\frac{1}{R_{out} C_L} \quad (3-9)$$

最后给出相应的一些测试结果：

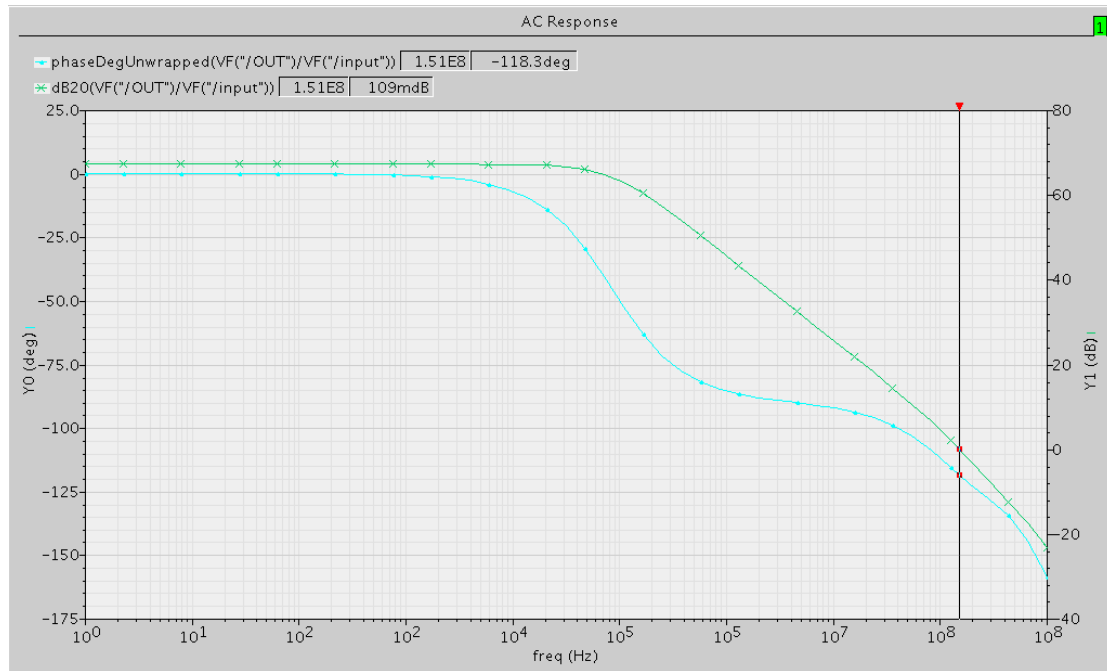


图 3-9 运放频率相应

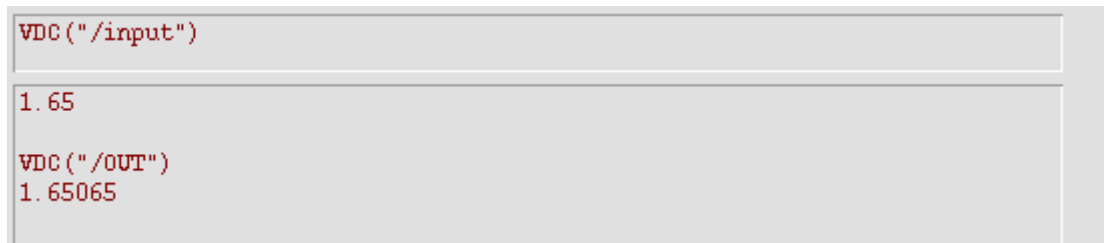


图 3-10 运放输入输出 DC 偏置

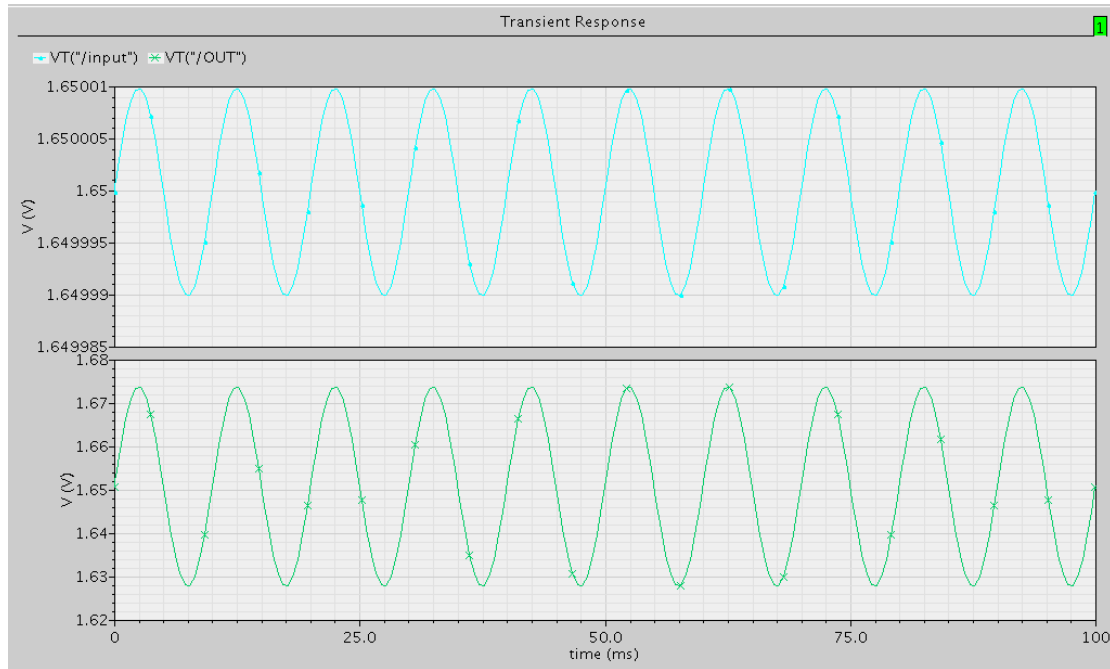


图 3-11 运放瞬态放大相应

最后需要指出的是，在目前可能许多的指标，比如 DC 开环增益是约等于 60dB，可能这个值对于整体 SDM 的性能影响并不了解，但是在之后的章节中可以很明确的通过加了非理想性的行为级模型来指导电路级中每个模块的指标设计。

在这里简要说了下单端输出 OpAmp 的仿真结果与设计，并没详细去说明其相位裕度等参数，主要是之后在实际 SDM 设计过程中一般并不采用单端而是全差分的 OpAmp 结构，这一点会在后面提到。

### 3.5.2 比较器（1 比特 ADC）

在 SDM 中另一个非常重要的电路元件为比较器，其中比较器元件可以用一个电压传输函数曲线来表示：

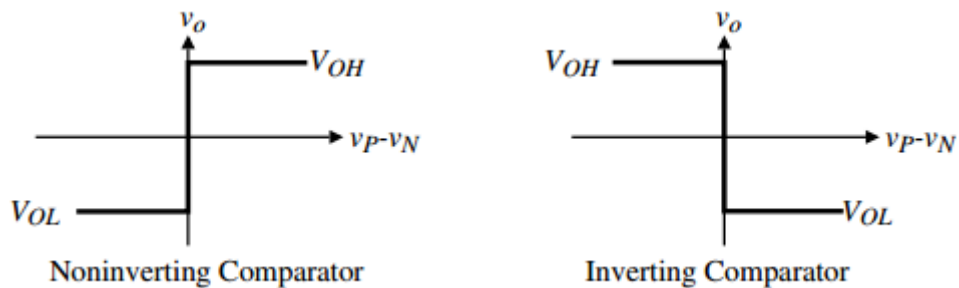


图 3-12 理想比较器的 VTC

当然实际的比较器会存在偏移（offset），但是幸运的是通过之后非理想行为级仿真可以知道实际上这个偏移对 SDM 的最后性能不是特别巨大。

一个实际的比较器设计基本上与 OpAmp 设计类似，因为其中会运用到 OpAmp 模块，一般的比较器由两部分组成，为（Amplifier + Latch）：



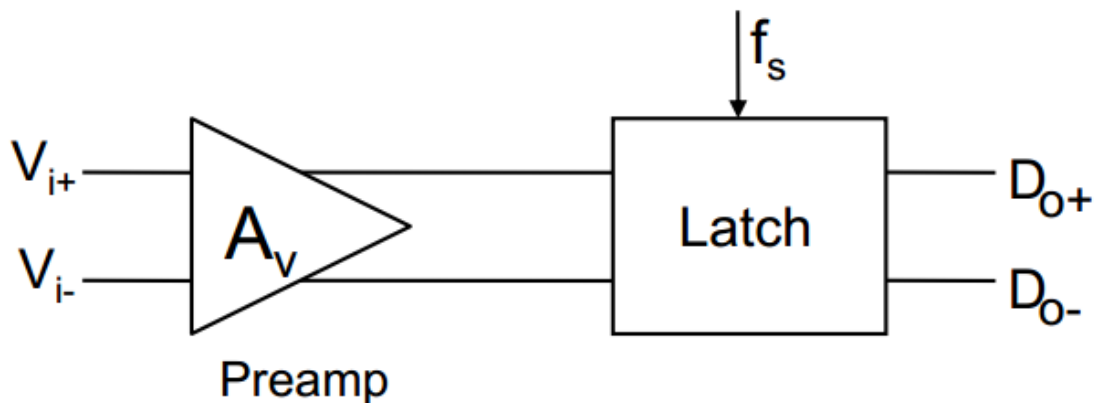


图 3-13 比较器电路结构

在电路中一般为了减小输入的偏移 (offset) 所以会在 Latch 之前加入一个预放大, 但是在设计预放大电路的时候存在速度 (带宽) 和放大倍数 (输入偏移) 的折中。有许多不同的结构可以实现比较器, 这里采用的是其中一种结构<sup>[13]</sup>, 预放大采用的是一对背对背耦合的 MOS 管构成的负阻电路, 使得电路存在一个正反馈回路, 增加放大倍数:

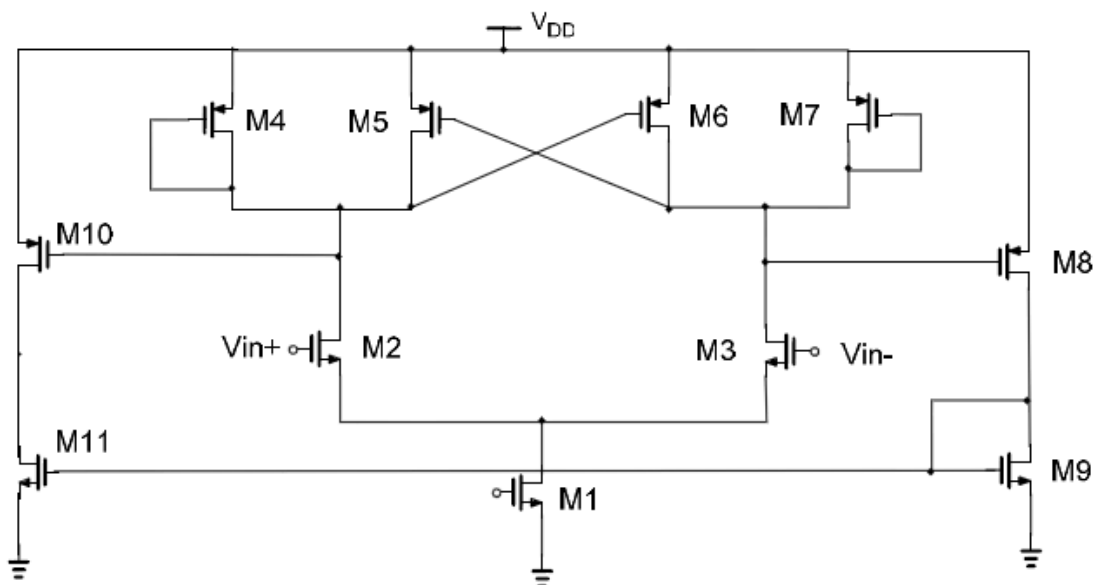


图 3-14 预放大器电路结构

这里的设计较为简单, 因为不像之前的 SC 积分器中的运放需要工作在饱和区, 这里只需将小的输入量能够放大到一定的量度即可以 (甚至是输出管子进入线性区或截至区), 因为只要输出保证在较大的值, 之后经过 Latch 就可以恢复到全摆幅。

电路中 M9~M10 将双端输出通过电流镜转化为单端输出, 这个电路的尺寸比较容易确定, 只需要考虑电路整体的放大倍数以及在足够的时间内能够稳定到电压输出值即可, 电压的放大倍数为:

$$A_{diff} = \sqrt{\frac{\mu_n(W/L)_2}{\mu_p(W/L)_4}} \frac{1}{1-\alpha}, \alpha = \frac{(W/L)_5}{(W/L)_4} = \frac{(W/L)_6}{(W/L)_7} \quad (3-10)$$

一般而言,  $\alpha$ 取值可以在 0.8~0.9 左右, 保证一个比较大的放大倍数, 需要指出的是, 在  $\alpha > 1$  时, 耦合交叉的 M5, M6 形成了很强的正反馈, 电路呈现出滞回比较器 (hysteresis comparator) 特性。

一些电路的相关仿真如下:

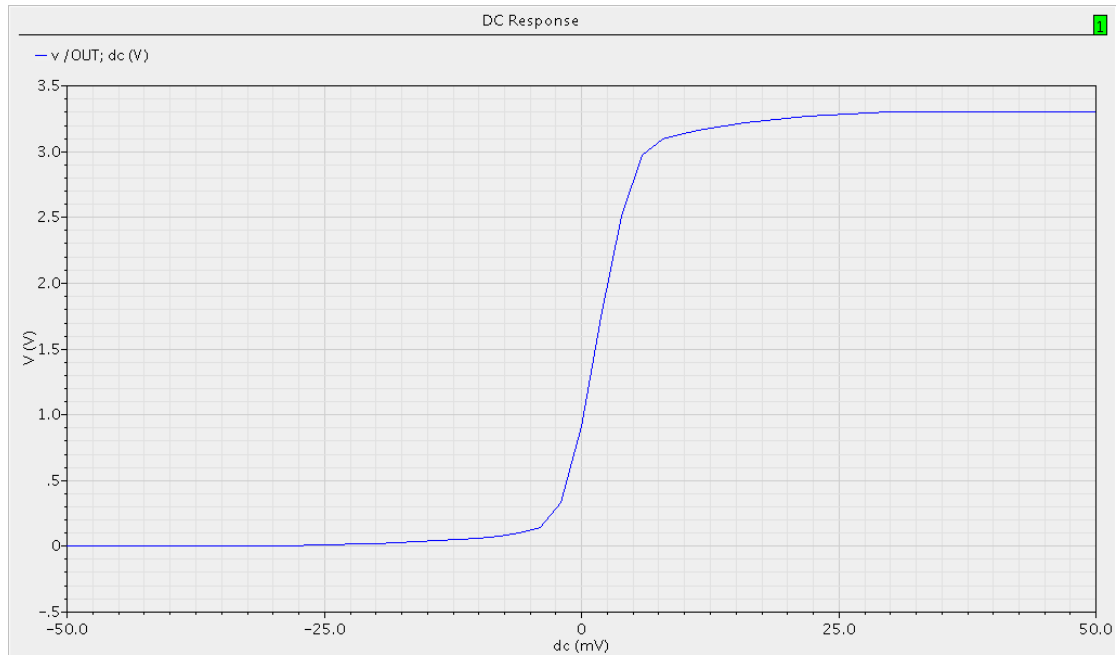


图 3-15 比较器的 DC 相应

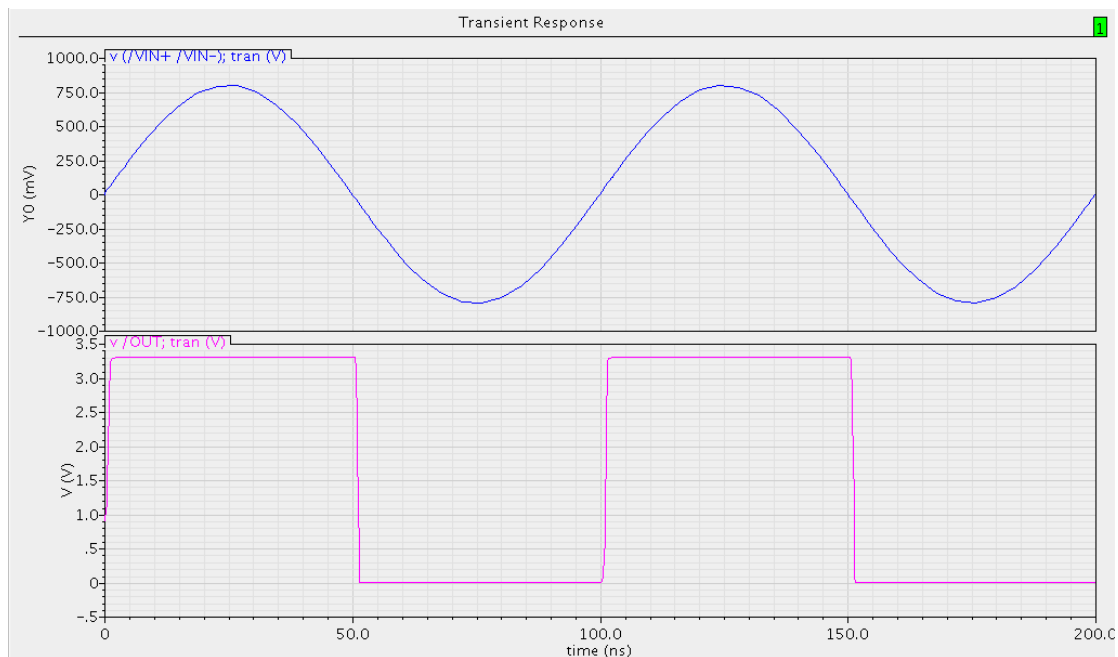


图 3-16 比较器的瞬时相应

在图 3-15 中可以得到电路输入在 $\pm 10\text{mV}$ 以内才有明显的放大相应，范围之外都已经进入线性或截止区，不过这没有关系，因为比较器本身的VTC就希望输出是全摆幅于 $V_{OH}$ 和 $V_{OL}$ 。而在 $\pm 10\text{mV}$ 之内的范围，可以让之后的 Latch 将预放大的输入信号拉至电压轨线处。

### 3.5.3 D 触发器 (DFF)

之前说过 1 比特 ADC 的预放大器后需要接一个 Latch 使得输出电压拉至电压轨线处，那么这里采用非常经典的 DFF 结构<sup>[14]</sup>来完成这个操作：

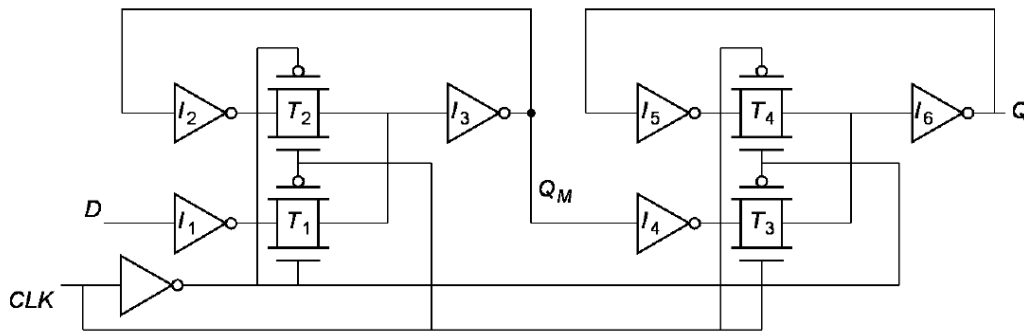


图 3-17 主从结构的正沿触发器

这个结构中包含了一对锁存器，不同的是第一级的锁存器（主级）是低电平透明；第二级则相反。这里采用 DFF 而不是之前 3.5.2 中的 Latch 而是一个 DFF，主要是除了可以将输出电压拉至电源轨线外，另外进行相应的采样保持，使 SDM 反馈回路中的时序正确。

在数字电路中由于门级电路噪声容限（Noise Margin）的关系，电压输出一般是正确的，这里对于 DFF 关注的主要是一些电路的传播延时参数：

$$\begin{aligned}
 T_{C-Q} &= t_{T3} + t_{I6} \\
 T_{setup} &= t_{I1} + t_{T1} + t_{I3} + t_{I2} \\
 T_{hold} &= 0
 \end{aligned}
 \tag{3-11}$$

式 3-11 给出了一组比较重要的延时参数，一般来说数字电路的延时就是 4,5 个管子的传播延时，数量级基本在 ps 数量级，而低通 SDM 的工作频率一般在 10M 左右，所以在时序上是非常宽松的。实际的电路仿真也验证了这一想法：

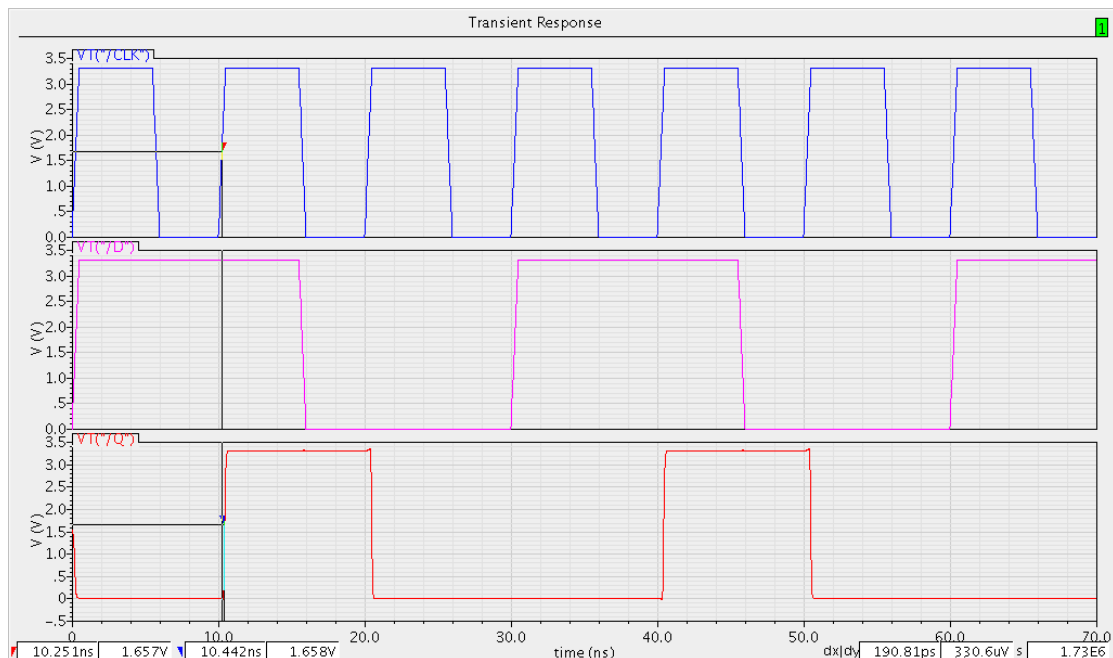


图 3-18 DFF 的时域相应

可以看出其中  $T_{cq} = 190\text{ps}$  左右，并且在时序上是正确的，始终满足在时钟上升沿输出波形改变。

最后将 3.5.2 节中的预放大器与 DFF 联合进行仿真得到：

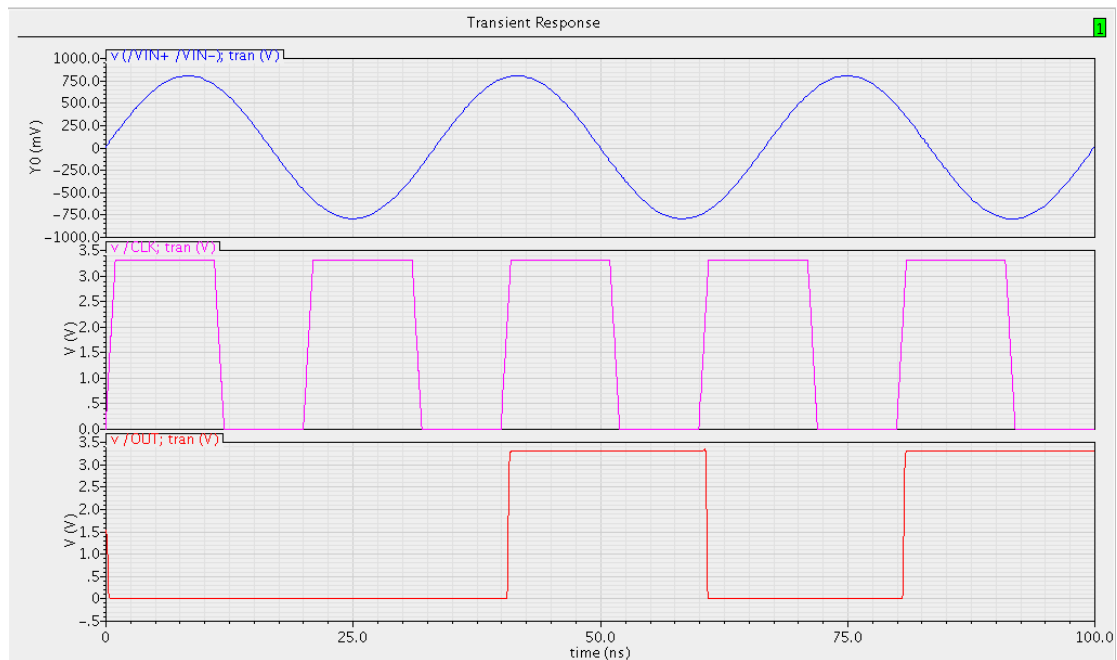


图 3-19 DDF 和预放大器联合仿真

同样可以看出联合仿真得到的时域相应比较理想，其中传播延时和之前一样，差不多是维持在几百 ps 的数量级上，在实际 SDM 电路中这样的时域响应足够在采样积分周期内稳定。

### 3.5.4 两相位互不重叠的时钟产生器

在 SDM 中需要两个相位不重叠的时钟（采样时钟  $\phi_1$ ，积分时钟  $\phi_2$ ），由于两者不会同时为高，否则电荷转移中会出现电荷泄露（即同时在积分和采样），所以如何从一个时钟中分出两路互不重叠的时钟对于设计好的 SDM 是必不可少的。我们知道在数字电路中许多时序电路也需要非重叠的时钟，所以这里采用一种简单的数字电路<sup>[4]</sup>方法实现：

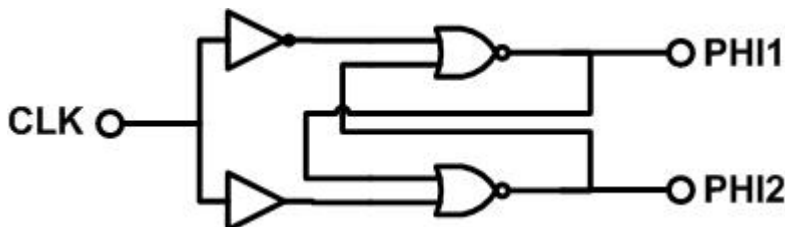


图 3-20 两相位不重叠时钟产生器

这个电路的原理实际上有点类似 D Latch，只是这里 Clk 是对应的输入 D。两个相位的时钟输出 PHI1 和 PHI2 不存在同时为 1 的可能，即两个或非门输出永远是反向。

所有门电路均采用 CMOS 静态电路设计，其中的 Buffer 是采用传输门的形式搭建，也可以采用偶数级的反相器链。最后仿真得到的波形为：

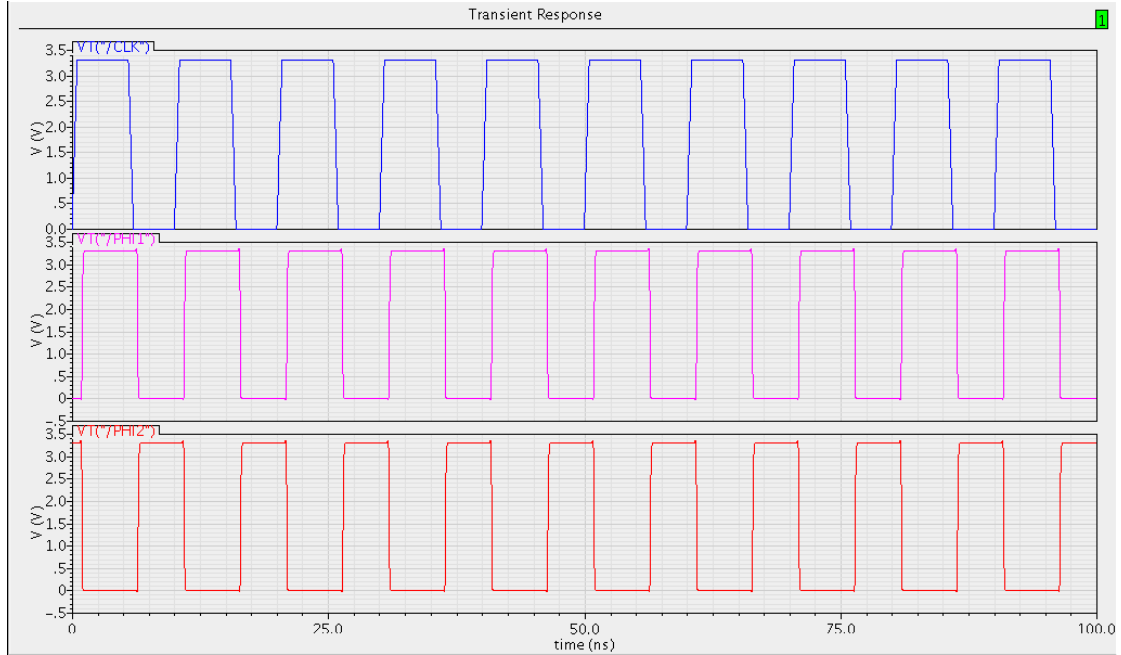


图 3-21 两互不重叠相位的时钟产生器

可以看出时钟产生器可以较好的工作在 10ns 的时钟周期内，并且两个输出时钟没有互相重叠的部分。最后需要指出的是在图 3-20 的电路中可能两个相位的输出端负载会比较大，尤其是在 SDM 阶数高的情况下尤其如此，为了减小传播延时，一串经过精心设计的反相器链可以用来增加输出的驱动，减小传播延时：

$$t_p = t_{p0} \sum_j (1 + f_j / \gamma), (f_j)_{opt} = 4 \quad (3-12)$$

式 3-12 是典型的反相器链优化公式，根据输出负载和输入负载可以计算出等效总的扇出系数，由每一级最优的扇出系数 4 来优化反相器链的级数和尺寸。

### 3.5.5 开关电路

最后主要提及一下开关电路的设计，在之后的行为级分析中就知道，实际的开关对最后 SDM 的影响比较大，因为开关的有限电阻会在积分器传输函数中产生一个零点，导致输出波形中产生过冲（Overshoot / Undershoot）。

这里考虑到开关的通用性，级电路能够传强 1 和强 0，使用传输门结构来搭建：

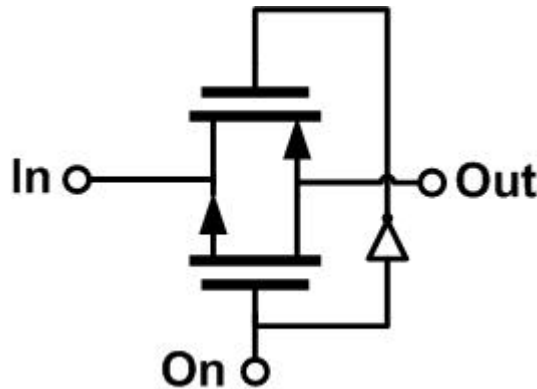


图 3-22 传输门电路

传输门电路最主要能够同时传输高电压和低电压信号，因为同时有 NMOS(强 0)、PMOS(强 1)。电阻大小为 NMOS 和 PMOS 等效电阻的并联值，可以通过提高 MOS 的尺寸，来

降低电阻大小。通过 Cadence 的 DC 仿真，得到开关等效电阻和两端电压的曲线：

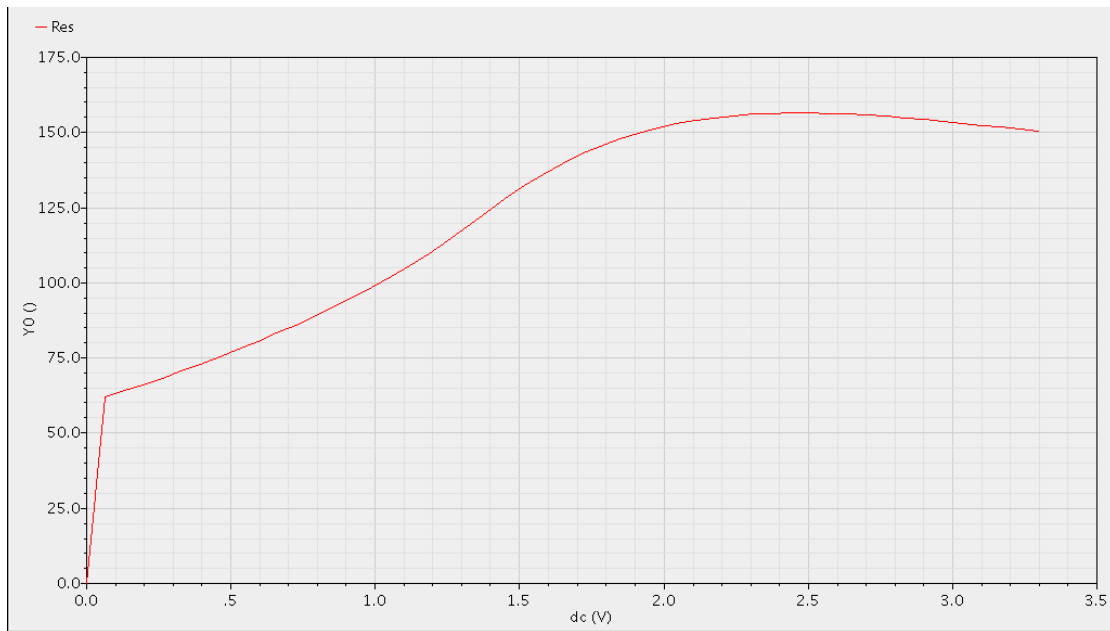


图 3-33 开关等效电阻随输出端电压的曲线

从图中可以看出开关等效电阻大小为比较小的值，并且随着两端输出电压的大小不同，浮动范围在  $60\ \Omega$  到  $150\ \Omega$  范围内，并且在电压超过  $1.5\text{V}$  之后基本是比较平滑的。这个值在之后的电路非理想特性中会提及。

### 3.6 一阶单端 SDM 电路仿真

至此所有的 SDM 电路模块已经搭建完毕，按照图 3-7 所示电路可以搭建简单的一阶单端 SDM，这里需要指出几点在搭建电路过程中出现的一些问题和解决方法，主要是最后 SDM 的输出波形会出现较大 DC 分量，这个在理想的电路模型中是不存在的，有几点可能导致电路出现的原因有：

- 1) 在选择 DAC 反馈电压  $V_{\text{ref}+}$  以及  $V_{\text{ref}-}$  时，一般选择为对称的大小，如  $+1$  和  $-1\text{V}$ ，如果不对称，在最后计算 PSD 时要保留这两个不对称的  $V_{\text{ref}}$  分量，否则会出现 DC 分量。
- 2) SC 积分器中的运放输入端电压没有在积分阶段稳定到 Gnd（这里为共模电压）：

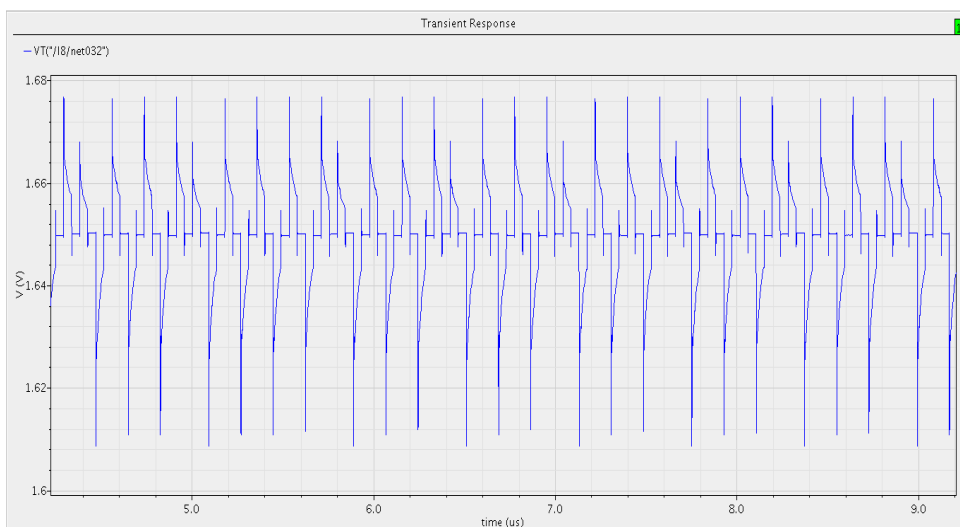


图 3-34 运放输入没有稳定 (settle) 到共模值

这需要调整开关的尺寸，使得对应的电路充放电时间常数在一个周期内。

3) 在 3.5.1 节中提及折叠式共源共栅电路设计中采用负载电容来补偿电路频域响应，在实际 SDM 中，这个负载电容为下一级积分器电容和当前这一级积分器的积分和采样电容的一个等效值，不能直接加一个电容，否则对最后的电荷转移产生影响。

最后可以得到一个和理论比较接近的 PSD 和 SNR:

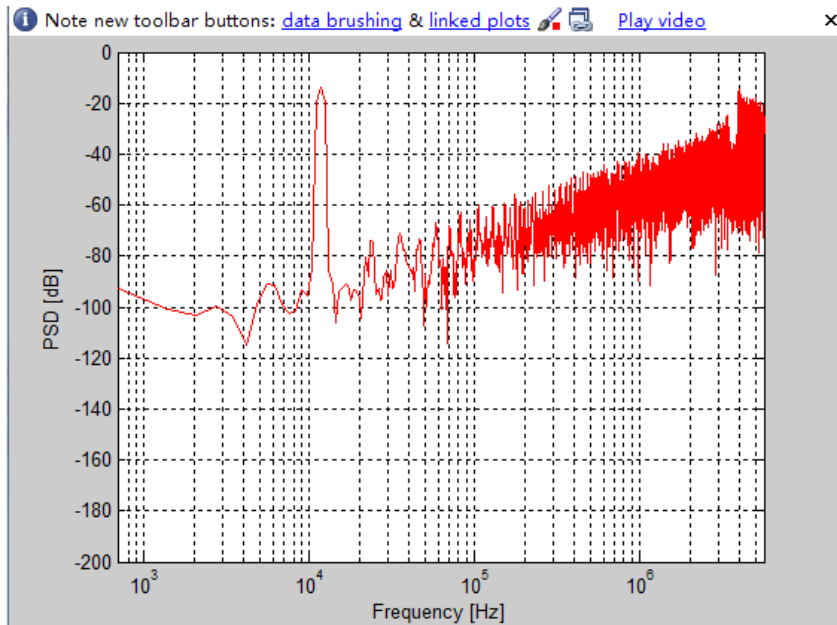


图 3-35 电路级 SDM 的 PSD 响应

这里不去过多分析单端的 SDM 结构，因为在实际中很少使用单端的来实现 SDM，往往采用双端全差分的 SDM<sup>[15]</sup>。

### 3.7 全差分 SDM 电路

在上一节给出了单端 SDM 的电路实现，实际上由于全差分电路性能好（共模抑制大，信号摆幅大）之外，更重要的是在单端电路中无法实现图 2-9 CIFB 结构中的  $g$  项，也就是 NTF 的零点只能在  $z = 1$  处，下面来说明原因。

#### 3.7.1 单端 SDM 电路与全差分 SDM 电路

在图 2-9 中的 CIFB 环路滤波器中，一组积分器包括系数  $g$  反馈如果采用单端结构，那么电路实现是：

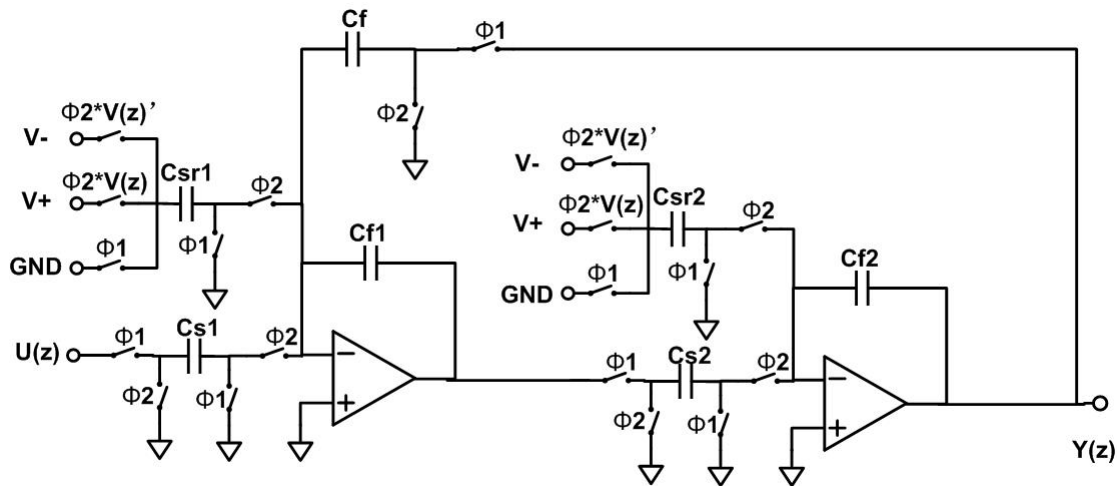


图 3-36 单端实现的一组 CIFB 积分器

其中最大的问题是这里的反馈项  $g$  是一个负反馈，即在图中显示的为  $-g$ 。那么在电路中对应该  $g$  项的电容比值为：

$$g = \frac{C_f}{C_{f1}} \quad (3-13)$$

为了使得反馈系数为负反馈，这里必须使反馈电容  $C_f$  为负值，但是这个在实际电路中是无法实现的，必须使用全差分电路来实现<sup>[6]</sup>。

相比于图 3-3 的单端输出 SC 积分器而言，全差分积分器基本就是多复制了一部分开关，电容，即：

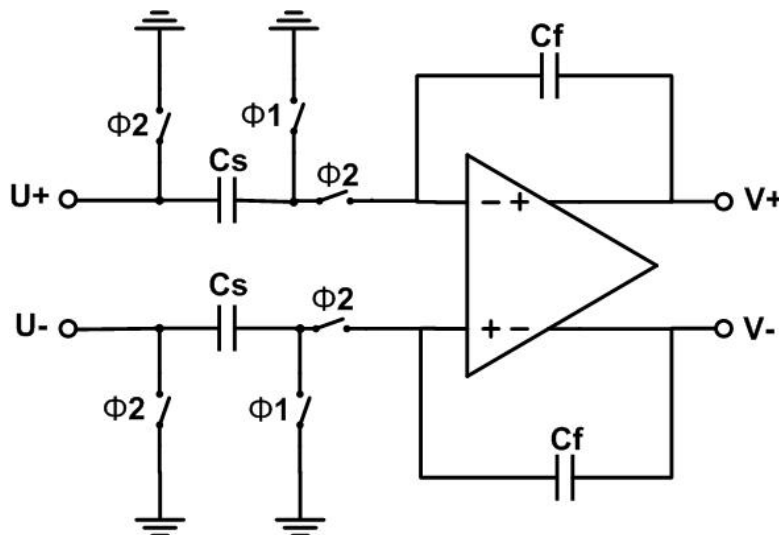


图 3-37 全差分积分器

全差分积分器的工作原理和单端输出的积分器原理相类似，可以通过类似式 3-4 的电荷守恒推导得到最终的传输函数：

$$\begin{cases} C_s u_+[n] + C_f (v_+[n] - OpAmp_-[n]) \\ = C_s (0 - OpAmp_-[n+1]) + C_f (v_+[n+1] - OpAmp_-[n+1]) \\ C_s u_-[n] + C_f (v_-[n] - OpAmp_+[n]) \\ = C_s (0 - OpAmp_+[n+1]) + C_f (v_-[n+1] - OpAmp_+[n+1]) \end{cases}$$

$$\Rightarrow H(z) = \frac{V_+(z) - V_-(z)}{U_+(z) - U_-(z)} = \frac{C_s}{C_f} \frac{z^{-1}}{1 - z^{-1}} \quad (3-14)$$

在式 3-14 中的推导实际类似于之前的 3-4，只是这里需要对全差分电路中的上下两部分列些电荷守恒定理，然后依照理想运放虚短的性质相减得到最终同 3-4 式一样的传输函数。

全差分积分器中最主要的特点是输出端不再像是之前单端积分器那样只有一个正端输出，此时会有正负两端，这样可以很容易实现图 3-36 中等效的负电容，只需要将反馈  $C_f$  那一支路接到第二级积分器输出负端就可以实现一个等效的负电容的效果。因而在之后所有的讨论过程中使用的 SDM 电路中的积分器均为全差分结构。

### 3.7.2 全差分运放与共模反馈电路 (CMFB)

在全差分积分器中一个与之前单端积分器不同的最主要的电路模块是需要一个全差分的运放。所以之前设计的关于运放模块内容需要有所微调，相比于单端输出运放最大的不同就是全差分运放需要共模反馈电路 (CMFB)。

CMFB 电路主要的作用是平衡由于尾电流源造成的输出共模电压不匹配，考虑如下的一个简单例子：



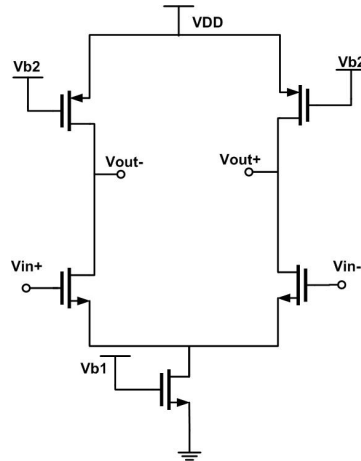


图 3-38 全差分运放

首先假设我希望在输入 DC 分量为 1.65V 时，输出的 DC 分量也是 1.65V，并且所有管子都在饱和区。那么存在的问题是尾电流源作为电流偏置与 PMOS 形成的电流源这两个电流源大小必须非常匹配，即：

$$I_{PMOS} = I_{tail} / 2 \quad (3-15)$$

但是事实上要做到两个电流源大小匹配，正好是两倍关系是非常困难的（这里必须考虑沟长调制效应），所以可以做一个对应电路输出 DC 分量对两个 PMOS 管尺寸敏感度曲线：

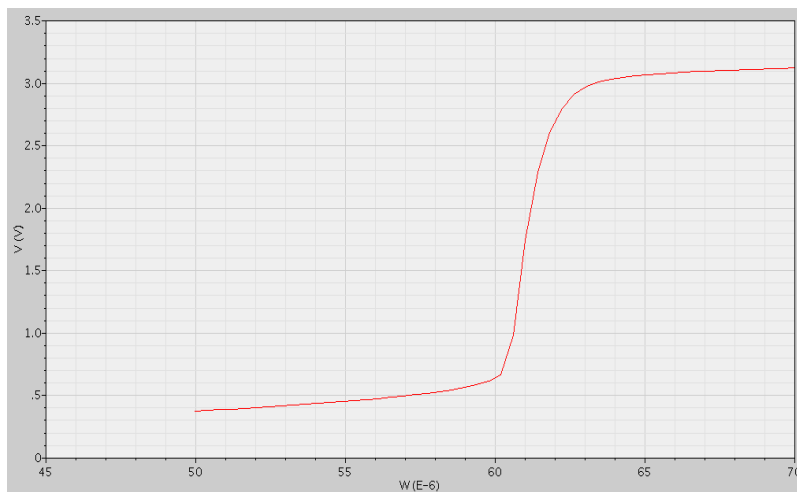


图 3-39 输出点偏置与电流源匹配问题

在这里横坐标为两个 PMOS 的 W/L 值，纵坐标为电路的在 1.65V 输入 DC 分量下输出 DC 分量的大小。可以看出为了使得输出在 1.65V 处，PMOS 宽长比大致需要在 61，但是可以看出这一段对于尺寸的斜率非常大（敏感度高），所以必须存在一个电路能够使得输出点稳定在一个给定值，那么就需要共模反馈电路。共模反馈电路对所有全差分电路是必要的，否则会出现上面那个例子一样的共模点错误。

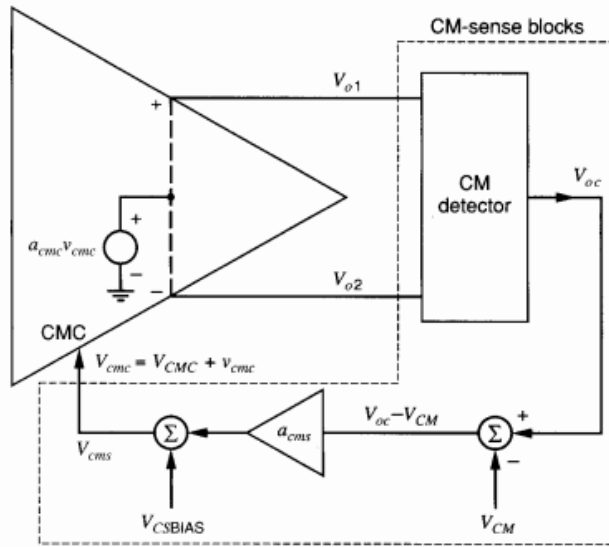


图 3-40 CMFB 基本原理

CMFB 基本原理如上图所示，CMFB 电路有两部分构成，一部分电路用来检验输出电压的共模点（CM Detector），另一部分将这个值做差并且放大（这个放大值一般不需要很大），然后反馈给原始电路。

一般来说 CMFB 有两类实现方式，连续和离散的，这里使用了连续的方式，实际上在 SC SDM 中是非常适合使用离散（SC）实现的，但是这里并不是为了设计电路目的考虑。

电路采用最经典的两级放大器，第一级差分对输入，之后共源放大，输出有一级 CMFB，即：

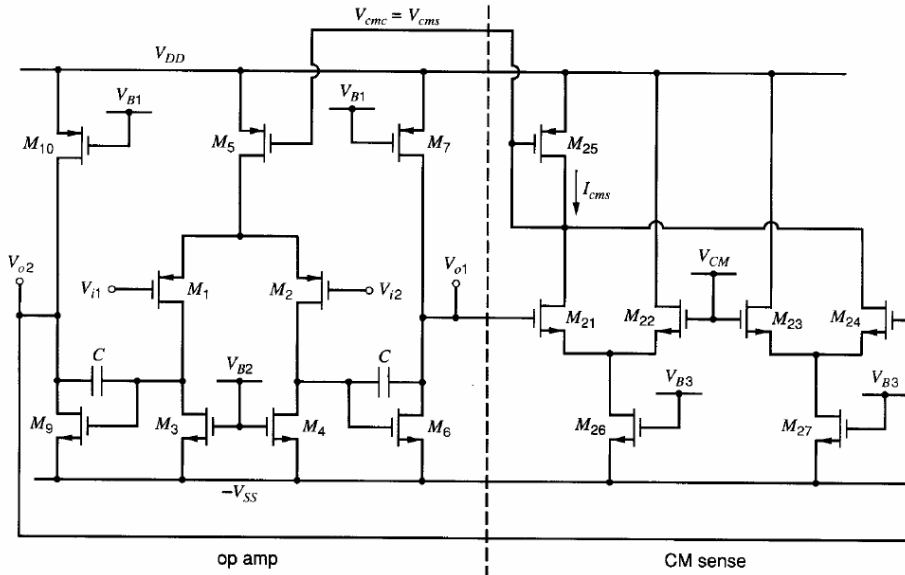


图 3-41 全差分运放电路级实现

在这里 CMFB 电路采用的是 2 个差分对的形式 M21~M24。这里能够求得共模信号的原因是流过 M25 的镜像电流源 M25 的值为：

$$\begin{aligned}
 I_{cms} &= \frac{I_{d26}}{2} + g_m \frac{(V_{o1} - V_{CM})}{2} + \frac{I_{d27}}{2} + g_m \frac{(V_{o2} - V_{CM})}{2} \\
 &= I_{d26,27} + g_m (V_{oc} - V_{CM})
 \end{aligned}
 \tag{3-16}$$

这里的 gm 指 M21~M24 的小信号跨导。比较式 3-16 和图 3-40，这里把 CM 检测，CM 相减等步骤都已经完成了，并且会提供一个正常共模稳定的情况下直流偏置 Id26,27。不过相较于 SC 的 CMFB 电路，这里使用差分对电路最大的问题就是共模反馈电路会限制输出信号的摆幅：

$$|V_{id}| < \sqrt{2}(V_{ov})|_{V_{id}=0} \quad (3-17)$$

式 3-17 给出的是一个典型差分运放工作在线性区（即 MOS 饱和区）下差分输入最大的摆幅不能超过一个限定值。因而这里对应的就是 2.3 节中提到的 SDM 每一级积分器的输出摆幅。考虑输出范围在 +/-1V 之间，对于全差分运放的另一个优点就是他的输出是单端输出的两倍，即

$$V_{o1}, V_{o2} \in [-0.5, 0.5] \quad (3-18)$$

那么在设计的时候就可以按照对应 M26, M27 的电流偏置（可以使这个偏置同 M3, M4 相同）以及式 3-17 可以得到 M21~M24 的尺寸，最后考虑到转换速率来设置偏置电流的大小，相关电流源尺寸通过一些电压摆幅的范围来限制，相应的补偿电容通过 AC 分析使得相位裕度至少超过 45°。最后针对电路得到相关的仿真结果：

vgs	1.34044
vgsteff	401.88m
vth	938.206m

图 3-42 CMFB 输入管 DC 偏置

在图 3-42 中显示的是 Cadence 得到 M21~M24 的过驱动电压值，容易结合式 3-17 和 3-18 验证满足输出摆幅为 +/-1V 之间。

其次是 AC 响应：

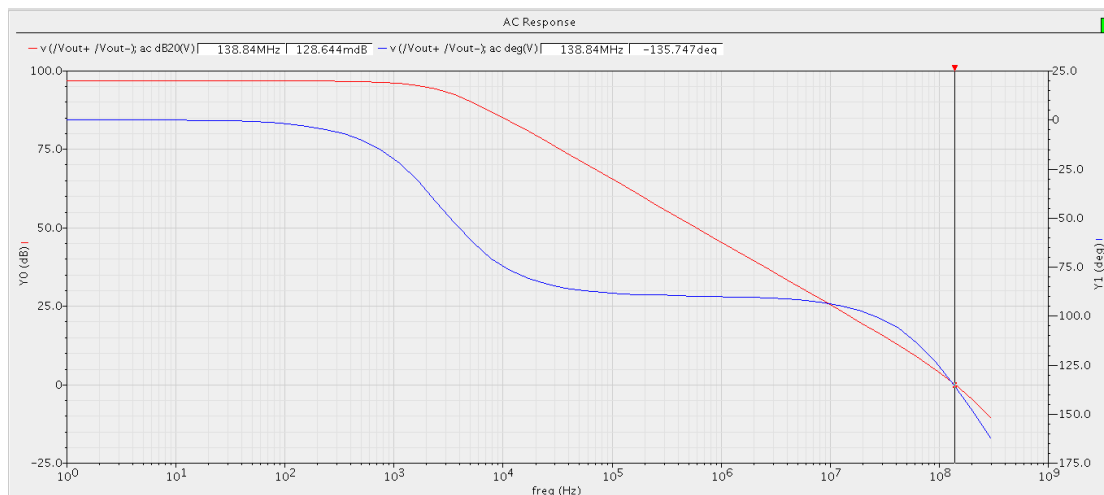


图 3-43 全差分运放 AC 幅频响应

首先注意的是图 3-34 测量的是开环频率响应，实际上这是一种最差情况下的频率（由于 SC 积分器中反馈系数 f 的存在）响应，而且输出负载设置与实际在 SDM 中不完全相同，为 1pF。所以会是比较悲观的仿真结果，但是需要指出的是这里的运放存在两个主极点，其次 DC 增益有 96.664dB，最后相位裕度在开环情况下仍然有 45°，可以保证闭环不会有小于 45° 的情况。在开环下 UGF（单位增益带宽）有 138MHz，放入闭环系统（SC 积分器）会损失反馈系数 f，这些将在下一节提到。

最后就是全差分运放的时域响应：

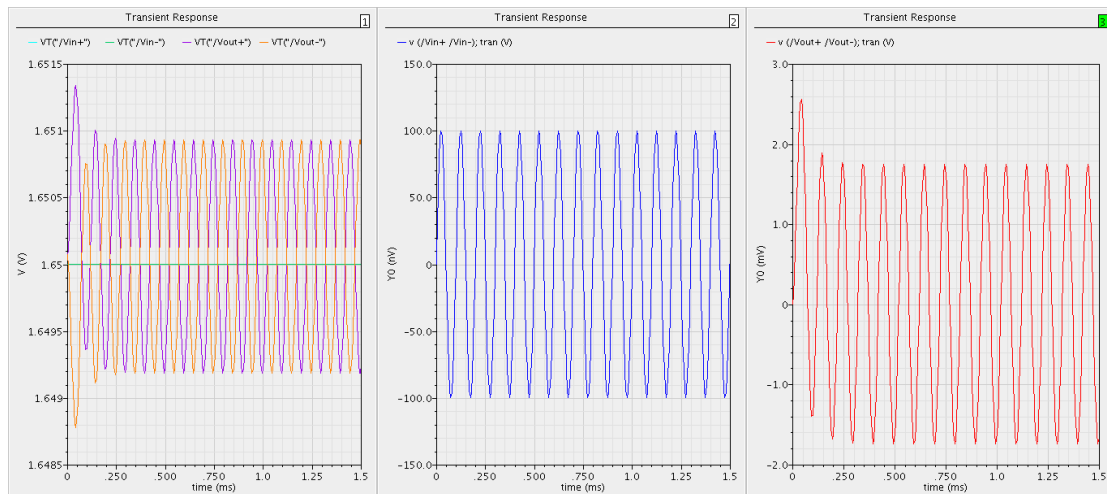


图 3-44 运放时域响应

可以看出在 CMFB 电路作用下输出的共模点会收敛到给定的 1.65V 处。

### 3.7.3 全差分积分器

全差分积分器在图 3-37 中已经给出，这里讨论下关于 AC 响应的一些基本性质，对于之后的非理想电路分析是非常有必要的。

在实际 SDM 中的运放我们主要关心的是积分相位 ( $\Phi_2 = 1$ )，这样 SC 电路就可以考虑为<sup>[17]</sup>：

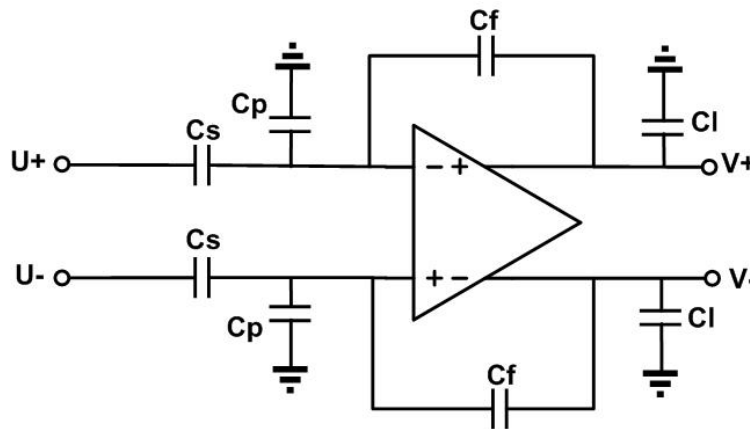


图 3-45 积分阶段的全差分积分器

上图中忽略了所有开关的电阻的影响，之后会看到实际上这个效应对最后 SDM 有很大影响。其中  $C_p$  表示的为运放输入的寄生电容的大小

为了分析图 3-45 中的积分器传输函数（包含反馈系数），需要将这部分电路抽象成如下的行为级框图<sup>[17]</sup>：

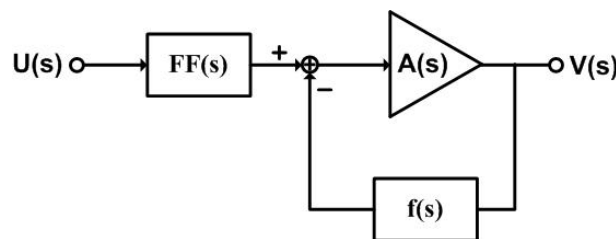


图 3-46 SC 积分器的线性模型

这里分析中需要知道,  $A(s)$ 即为 3.7.2 中分析的开环传输函数,  $f(s)$ 是反馈系数, 而  $FF(s)$ 是积分器从原始输入的运放输入点的前馈系数:

$$FF(s) = \frac{C_s}{C_s + C_f + C_p} \quad (3-19)$$

$$f(s) = \frac{C_f}{C_s + C_f + C_p} \quad (3-20)$$

从 3-46 的线性框图中可以看出, 整体的传输函数:

$$H(s) = \frac{V(s)}{U(s)} = FF(s) \frac{A(s)}{1 + A(s)f(s)} \quad (3-21)$$

因而在分析整体 SC 积分器的特性时不能单独考虑运放, 还需要将这些参数一并放入, 这里假设一个 2 阶 SDM 中单独一级积分器的传输函数我们可以得到其 AC 响应为:

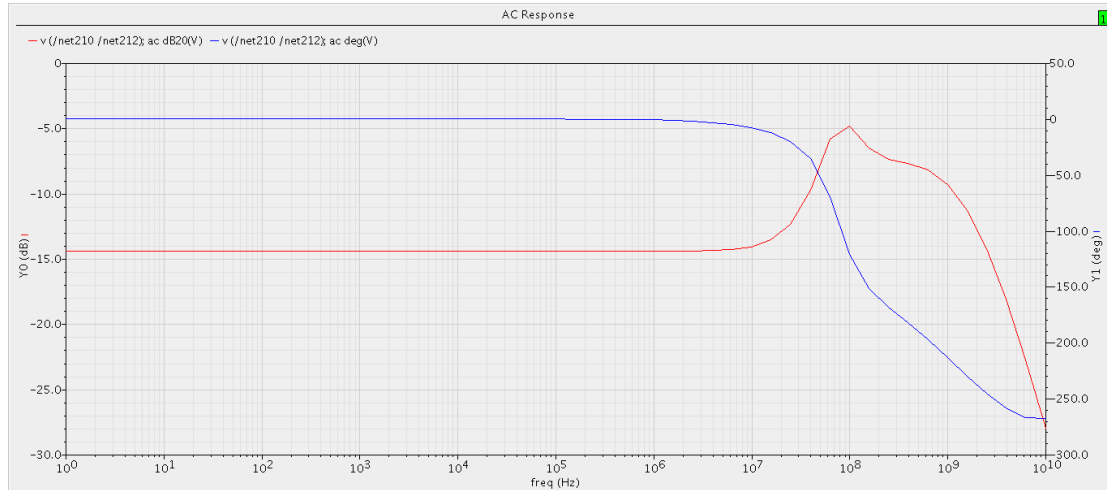


图 3-47 SC 传输函数

这里的频域响应会非常复杂, 由于其中的反馈回路会形成额外的零极点, 因此幅度上会既有上升又有下降的部分, 但是这里的 DC 分量增益需要关注到为  $-14.25\text{dB}=0.19$  结合式可以很容易验证约为  $C_s / C_f$  说明之前的推论是正确的。同样在仿真系统是否稳定时必须采用环路增益:

$$T(s) = A(s)f(s) \quad (3-22)$$

由式 3-22 验证其相位裕度大小, 才可以判断图 3-46 中反馈环路是否稳定, 而不仅是 3.7.2 中的开环响应:

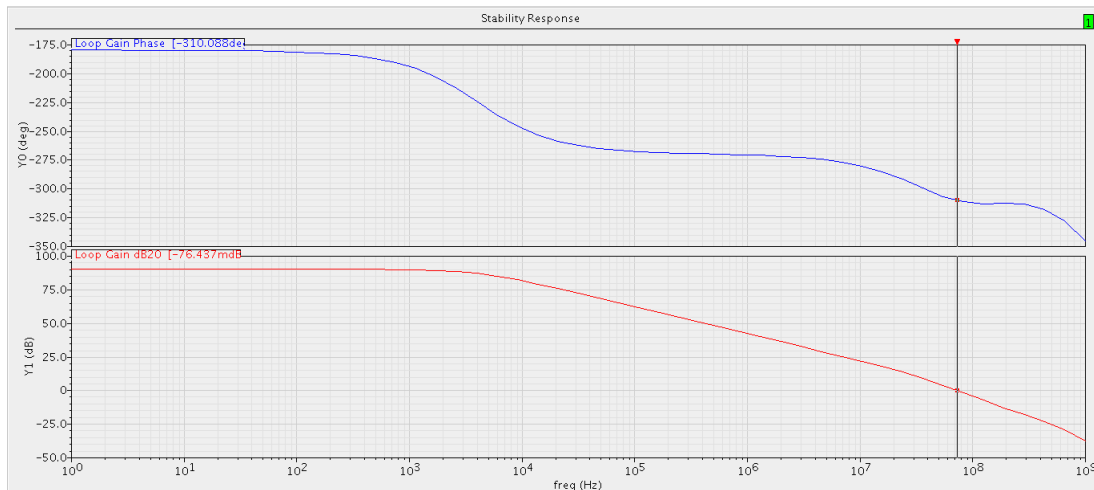


图 3-48 SC 积分器的环路增益

可以看出之前的结论确实是悲观的,加入反馈系数后相位裕度提高到了  $50^\circ$ ,但是 UGF 则减小了反馈系数  $f$  倍数为 71MHz 左右。

### 3.8 一阶全差分 SDM 电路仿真

之前已经介绍了关于单端 SDM 电路以及仿真结果,这里详细讨论全差分 SDM 仿真结果,因为之后所有的模型均是基于全差分 SDM 讨论。

首先通过理想行为级仿真(2.3节)得到相应  $a, g, b, c$  系数为:

表 3-1 SDM 行为级系数

CIFB 中对应系数	自动生成数值
a1	0.1746
g1	NIL
b1	0.1746
b2	0
c1	3.818

注意的是这里存在系数  $c$ ,但是系数  $c$  在实际电路中是接在比较器之前,所以没有相应的积分器形成对应系数,所以一般来说对应 SDM 实际上还有一级额外的运放完成求和级 (Summing Stage)<sup>[18]</sup>。但由于这里是 1 比特的内置 ADC,所以系数  $c$  可以简化成 1,并不影响 NTF 的表达式。

其次是电路中并不能完全做到电容比值为系数  $a, b$  那么精准,所以只是取到比较近似的电容值。另外虽然采用小的电容值可以改善积分器中运放的带宽,但在之后会看到这会和噪声有一个折中,这里选择电容值为:

表 3-2 SDM 电路级参数 (电容标识参考图 3-7)

电容	电容值 (pF)
Cs	2
Cf	11.45
Csr	2

为了直观理解 SDM 电路的特性,在这里列出了一些直流激励信号的测试瞬时仿真情况:



图 3-49 DC 输入为 0

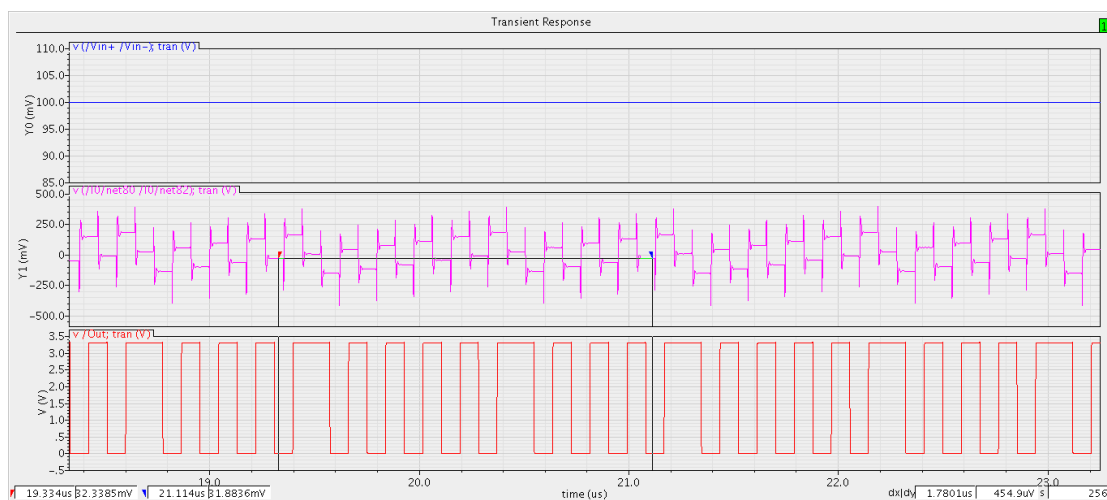


图 3-50 DC 输入 100mV

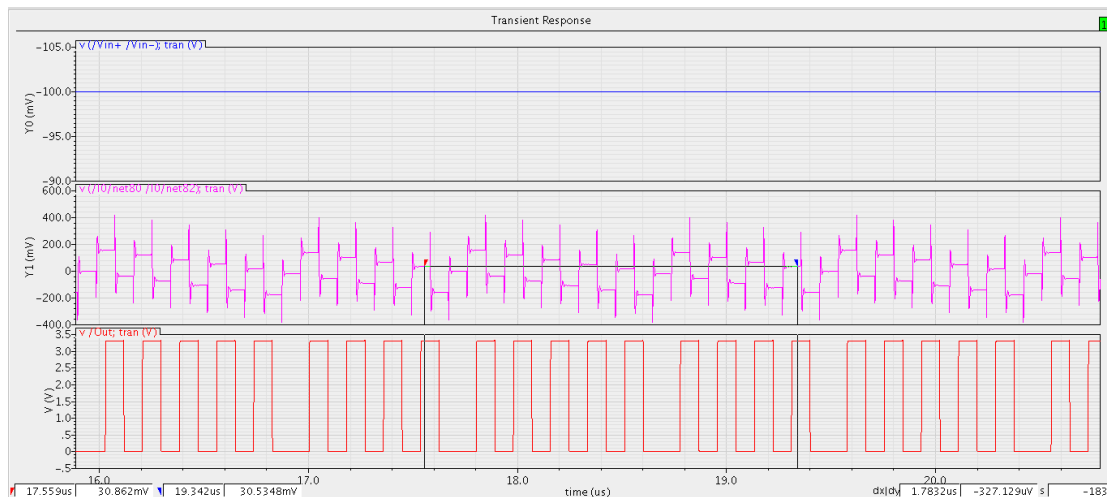


图 3-51 DC 输入 -100mV

图 3-49~图 3-51 均是 SDM 在 DC 输入源激励下的输出时域响应，通过图示可以很容易验证在标尺所标注的近似一个周期（实际上并不是恰好一个周期）内输出电压的平均值（DC 分量）代表为输入信号的大小，比如对于图 3-50 中输入为 100mV 电压，可得：

$$\overline{SDM}_{out} = \frac{2}{20} = 0.1 = V_{in} \quad (3-23)$$

其次当输入信号为正弦输入时测量得到的时域响应为：

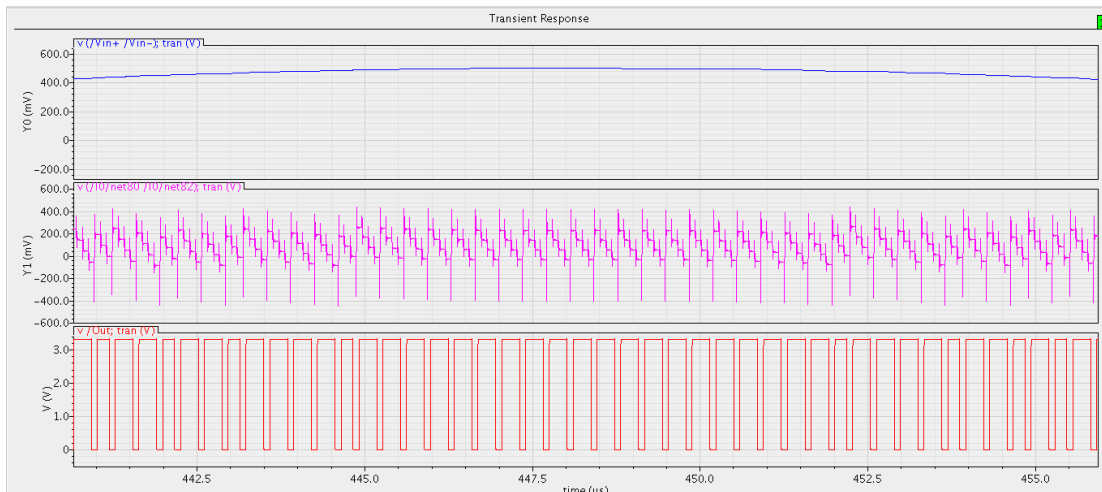


图 3-52 电路级 SDM 时域波形 ( $V_{in} > 0$ )

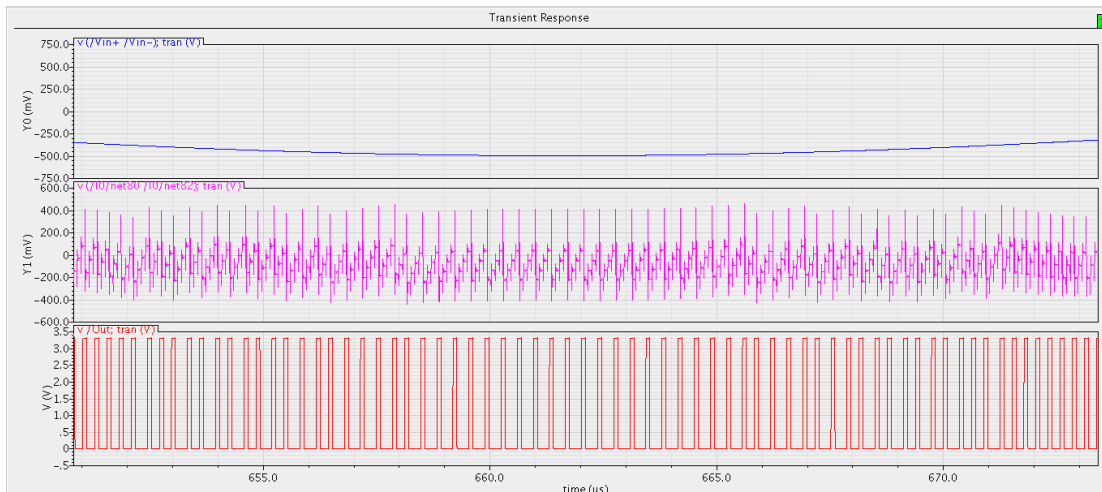


图 3-53 电路级 SDM 时域波形 ( $V_{in} < 0$ )

图 3-52 和 3-53 分别对应的是输入信号波形，积分器输出波形以及 SDM 输出波形。从时域上较难分辨出正弦信号的特征，但是可以看出在  $V_{in}$  大于 0 时，输出波形中 1 的比例非常高，反之则 0 的比例非常高，下面为了分析实际 PSD 与 SNR，我们需要从频域的角度分析：



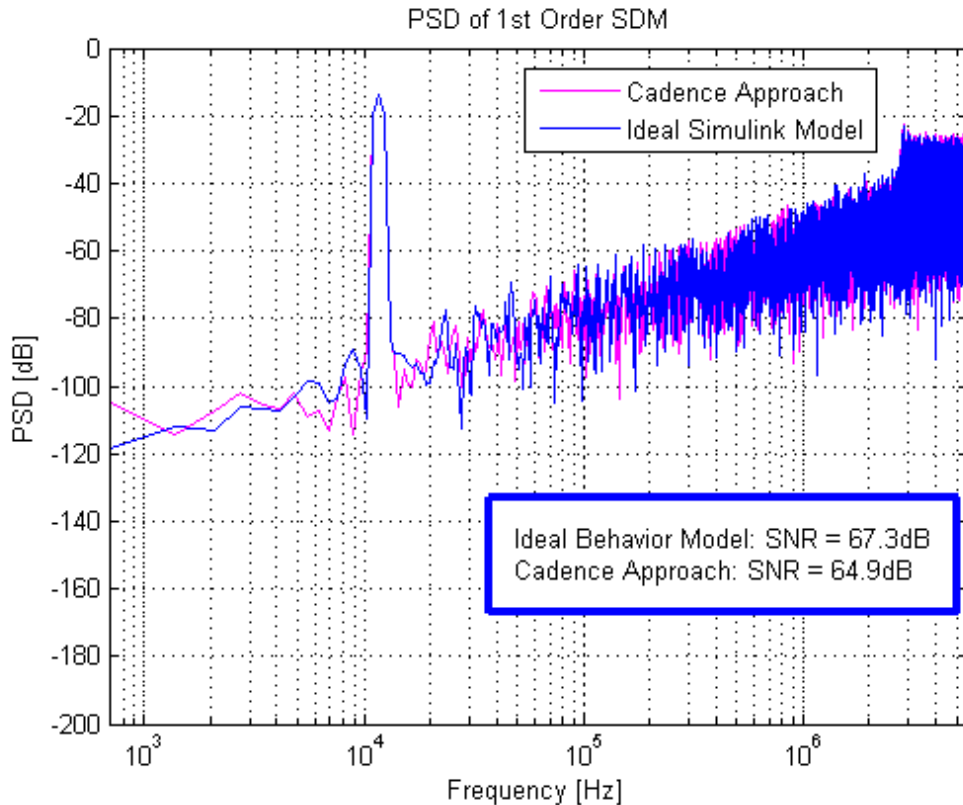


图 3-54 理想行为级与 Cadence 电路级 PSD 比较

比较行为级仿真与实际电路电路仿真结果的差异:

表 3-3 一阶 SDM 理想行为级仿真与电路级仿真比较

	理想行为级	Cadence 电路级
SNR	67.3 dB	64.9 dB
ENOB (有效比特数)	10.8843 bit	10.4883 bit
仿真时间	0.922s	5h 10min

可以看出实际 SDM 信号与理想 Matlab 得到的数据比较接近, 不过还有将近 3dB 的差异, 并有很明显的噪声整形效果以及输入正弦信号的峰值, 可见之前的 1,0 方波确实包含原始输入信号的频谱信息。这里可以明显看出在行为级模型中加入非理想性的必要, 一是理想模型较为乐观估计了电路性能, 二是在理想的 Matlab 中也不存在和电路相关的项, 所以很难从理想行为级映射到电路级设计。所以在下面一节中将详细讨论 SDM 的行为级非理想性分析与建模, 也会分析电路中的一些相关非理想性。

### 3.9 本章小结

在这一节中我们详细讨论了 SDM 的电路级设计与实现, 包括具体电路模块, 运放设计以及全差分 SDM 的必要性。并且在最后结合理想行为级仿真设计出一个简单一阶 SDM 电路级实现, 并且在表 3-3 中将两者的仿真作对比, 下面将主要讨论一些电路中的非理想性及其建模。

## 第四章 SDM 非理想性分析与 Simulink 建模

在之前的两章内容中，讨论了 SDM 的理想级模型以及电路级模型实现，在这一章中我们将分析电路中的一些非理想性，比如电路开关噪声，运放热噪声，积分器的阶跃响应等对于最终 SDM 性能造成的影响。关于这部分有许多相关的国内外研究论文<sup>[19]</sup>，这里将会把相关一些非理想性，以及高阶的非理想性结合第三章中实际电路联合进行讨论，并且提出对于任意阶数 SDM 的普适构建方法，用于自动化建立带非理想因素的行为级模型。

### 4.1 时钟抖动 (Clock Jitter)

时钟信号存在于 SC SDM 中，由于需要对应时钟信号控制每一级 SDM 的积分器进行采样和积分两个不同相位，所以在实际中需要考虑时钟非理想性对于 SDM 最后性能造成的影响。在数字电路中时钟对应最著名的两个非理想性因素为时钟偏斜 (Clock Skew) 和时钟抖动 (Clock Jitter)<sup>[14]</sup>。前者是由于电路中时钟线的延迟造成时钟并不完全同步，后者是由于一些随机的噪声源 (比如电容耦合造成的串扰) 等造成的，时钟抖动只有使用概率统计量表示，不能求出一个确定的值。这里讨论其中一种时钟抖动的影响：

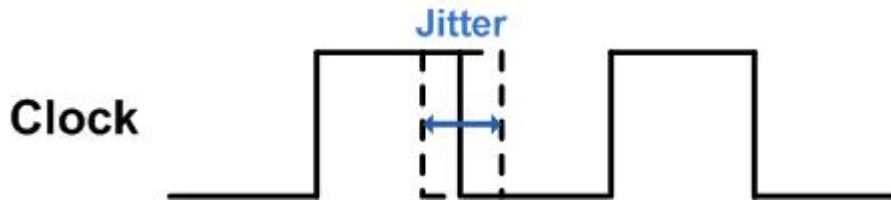


图 4-1 时钟抖动现象

如图 4-1 中所示时钟抖动就是时钟的上升或下降边沿来的时刻不确定导致的，所以在实际电路中体现出来的就是积分器采样时刻的错误，造成采样得到的信号数值偏差。

假设输入信号为  $v_{in}(t)$ ，那么经过有时钟抖动的采样信号后得到的离散信号值为：

$$v_{in}(nT_s + \delta) \approx v_{in}(nT_s) + \delta \left. \frac{dv_{in}(t)}{dt} \right|_{t=nT_s} \quad (4-1)$$

式 4-1 中的近似为简单的一阶泰勒近似，其中  $\delta$  是抖动的随机变量，一般采用高斯分布来表示，式 4-1 可以非常方便使用 Simulink 模型建立模型：

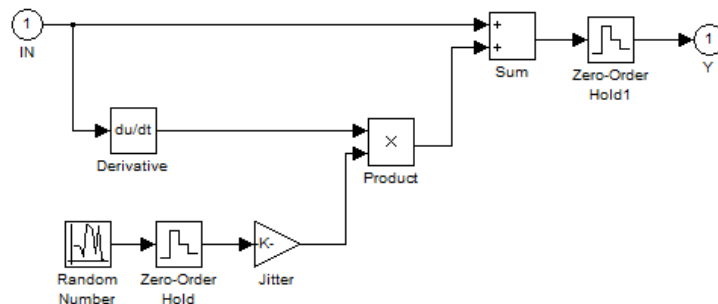


图 4-2 时钟抖动的 Simulink 建模

图 4-2 中显示的为一个简单的实现方式，其中需要注意的是，这里高斯噪声加入方法在

之后的热噪声中也会使用，因此这是非常普遍的一种使用技巧。其次由于时钟抖动这里考虑的只是第一级对输入信号采样的不确定性(之后会看到像这样只近似考虑第一级非理想性的方法在 SDM 中是可以接受)。因此时钟抖动的非理想性对于任意级数的 SDM 只需在输入信号后加上即可。

为了验证时钟抖动对理想 SDM 行为级模型的影响，这里选取在 2.3 节中的三阶 SDM 进行讨论（这里将系数 b 除第一项外设为 0）：

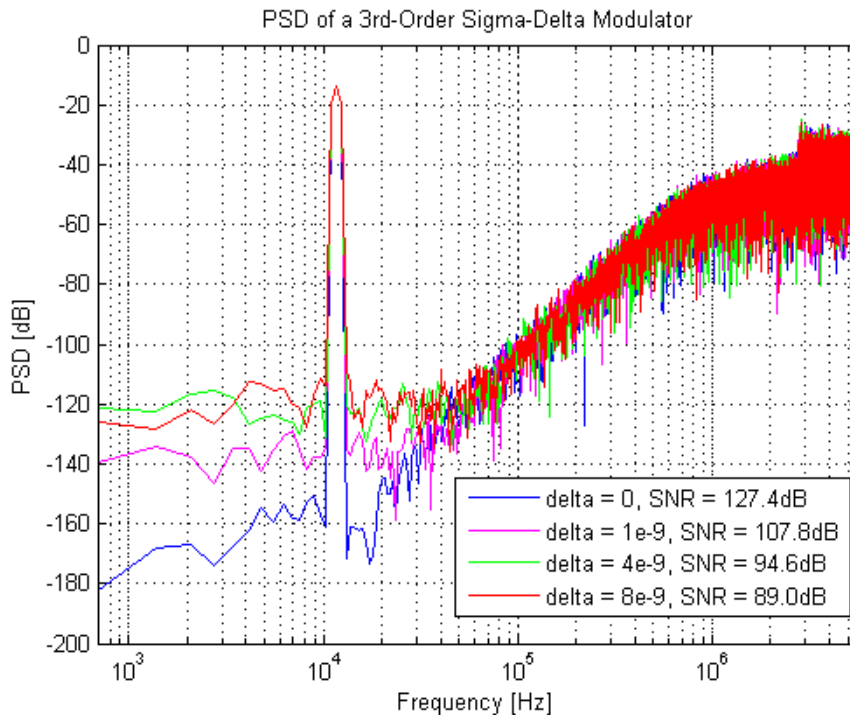


图 4-3 时钟抖动对 PSD 和 SNR 的影响

在这里可以看出时钟抖动对输出 PSD 以及最后 SNR 造成比较大的损害，尤其是低频部分。并且时钟抖动会使 PSD 的低频噪底明显提升，而高频部分的噪声整形基本不变。不过由于电路仿真器（Cadence）中还不支持对应的仿真所以无法对此进行对比验证。

## 4.2 开关热噪声

电路中最常见的噪声即为热噪声（Thermal Noise）。热噪声是一种典型的高斯白噪声，其单边功率谱密度为：

$$PSD_{thermal}(f) = 4kTR_s [V^2 / Hz] \quad (4-2)$$

在 SDM 中最大的电阻热噪声供应为开关的有限导通电阻  $R_{on}$ ，在 3.5.5 节中给出了导通电阻关于两端电压的曲线，可以得到基本量值只有  $100 \Omega$  左右，从式 4-2 中似乎并不是很大的量值，但是考虑 SC 积分器中的采样和积分阶段就会发现最终的噪声实际上和电阻值并没有关系，这里为了简单起见用单端 SC 积分器表示，最后的结论很容易推广到全差分积分器上：

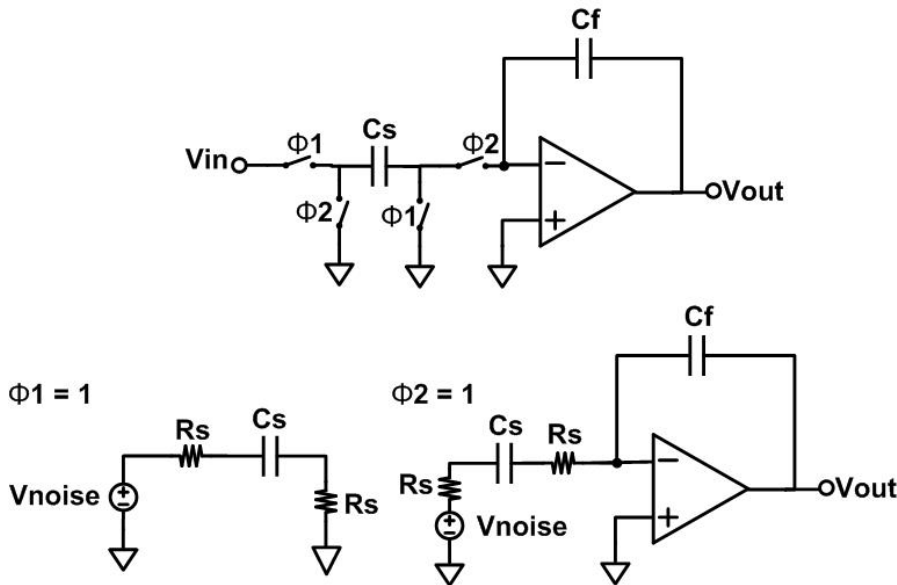


图 4-4 积分器中的热噪声

在采样或积分阶段，存在有限的导通电阻，就会产生对应的热噪声，热噪声产生的效果可以等效用图 4-4 中的电压源  $V_{noise}$  表示。可以看到这个噪声电压源会传输到采样电容  $C_s$  上，等效于额外的噪声电荷，最终会在积分阶段转移到 SC 积分器输出，得到与式 3-4 不同的结论。

首先在图 4-4 中  $V_{noise}$  的 PSD 为：

$$PSD_{noise}(f) = 8kTR_s[V^2 / Hz] \quad (4-3)$$

这里是式 4-3 的两倍，是由于这里的两个电阻是串联，所以对噪声电压源也是串联，且由于两个开关电阻产生的热噪声是不相关，可以直接相加。

其次考虑采样阶段  $\Phi_1 = 1$  转移到采样电容  $C_s$  上的噪声电压（这个电压等效额外的输入电压，因为原始信号  $V_{in}$  在采样阶段同样将电压以电荷形式存储在  $C_s$  上）：

$$\begin{aligned} \overline{V_{C_s}^2} &= \int_{f=0}^{+\infty} PSD_{noise}(f) |H(f)|^2 df \\ &= \int_{f=0}^{+\infty} 8kTR_s \frac{1}{1+(4\pi f C_s R_s)^2} df = \frac{kT}{C_s} \end{aligned} \quad (4-4)$$

在式 4-4 中发现这个输入噪声电压（即传输到  $C_s$  上的电压）与  $R_s$  并没有关系，只和采样电容有关。这里也给出了设计 SDM 的一个限制条件，即电容不宜过小，否则会产生较大的热噪声；但对于运放的带宽（见式 3-9，对应于阶跃响应稳定的时间常数）来说一个小的负载电容是比较好的，所以这里存在折中（Tradeoff）的选择。

对于积分阶段噪声分析比较复杂，因为涉及到具体运放的输入阻抗大小，SC 积分器的负载阻抗大小需要具体从电路的角度分析，但是基本思想同式 4-4 是一样，都是讲噪声电压转移到采样电容上作为附加的输入噪声电压源。

这里可以通过 Cadence 的噪声分析，验证式 4-4 的正确性：

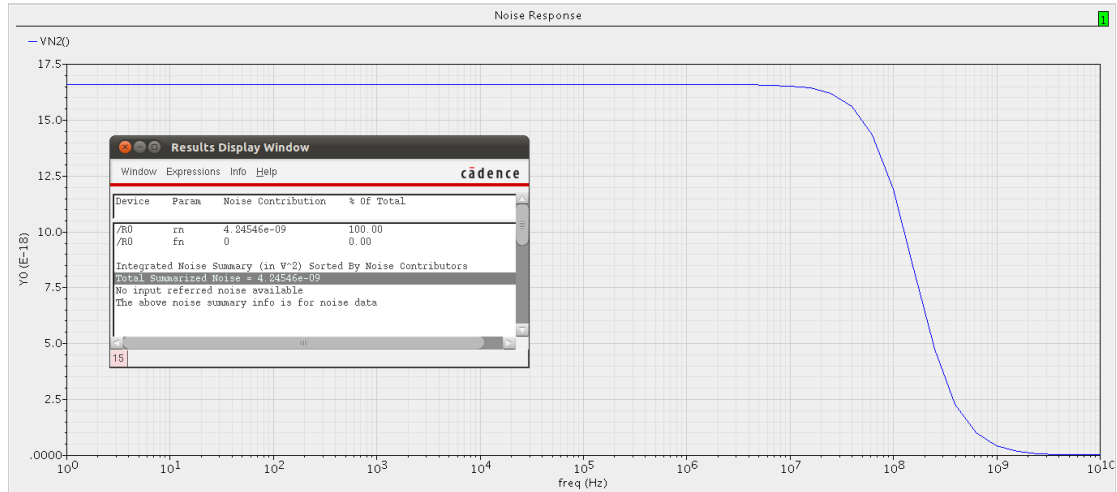


图 4-5  $kT/C$  噪声 Cadence 验证

在图 4-5 中可以明显看出电阻热噪声的 PSD 在 RC 低通滤波器作用下的滤波曲线，并且计算得到的总噪声功率值基本符合式 4-4。

需要额外指出的是对于全差分积分器，这里的输入热噪声将会是单端的两倍，由于在图 4-4 中的电容、开关支路会有两路，所以噪声会额外相加（尽管全差分能抑制共模输入噪声，但是这两个热噪声是不相关，共模抑制没有作用）。其次对于 SC 积分器输入存在多个支路的开关、电容，如 SDM 中 DAC 的反馈回路：

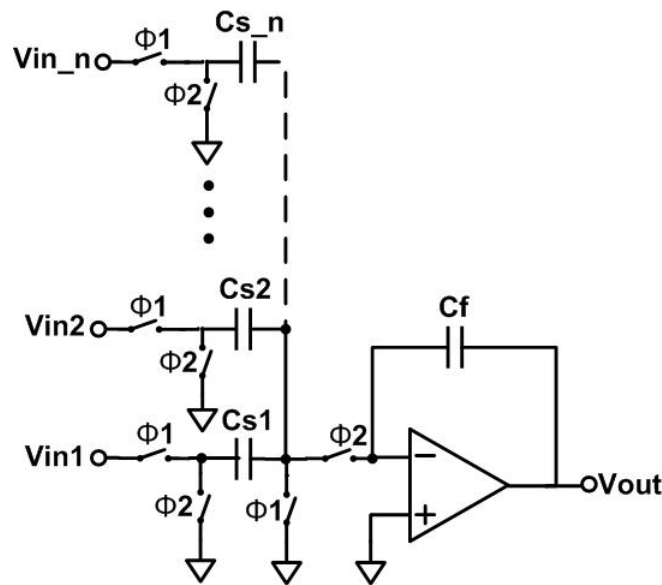


图 4-6 SC 积分器中多输入路径

在图 4-6 中使用叠加定理可以近似认为每一条路径都会贡献一个  $kT/C$  噪声大小。所以对电路来说可以认为 CIBF 中每一个 a, c, b, g 系数都会产生  $kT/C$  的热噪声。在这里将噪声同样视为加性高斯白噪声：

$$\begin{aligned}
 v_{out}[n] &= v_{in}[n] + noise \\
 &= v_{in}[n] + \sqrt{kT/C_s} \times n
 \end{aligned}
 \tag{4-5}$$

所以根据式 4-5（其中  $n$  表示单位正态高斯分布）可以将所有理想行为级 SDM 系数项替换为如下 Simulink 模块：

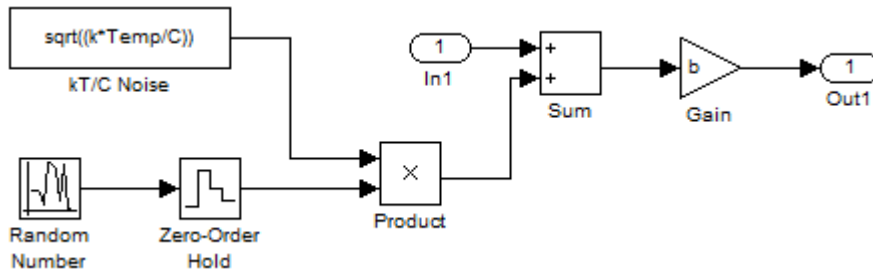


图 4-7 含有热噪声的系数模块

在实际考虑热噪声过程中可以把 SDM 中每一级的系数都改成图 4-7 所示的模块，但是事实上作为近似只需要对 SDM 中与第一级积分器有关的系数修改成 4-7 的热噪声增益模块即可，这是由于每一级积分器输入到 SDM 输出端的传输函数是不相同的。

同样考虑开关 4.1 节中的 3 阶 SDM 模型，这里从每一级积分器输入到 SDM 输出的传输函数分别记为 H1, H2, H3:

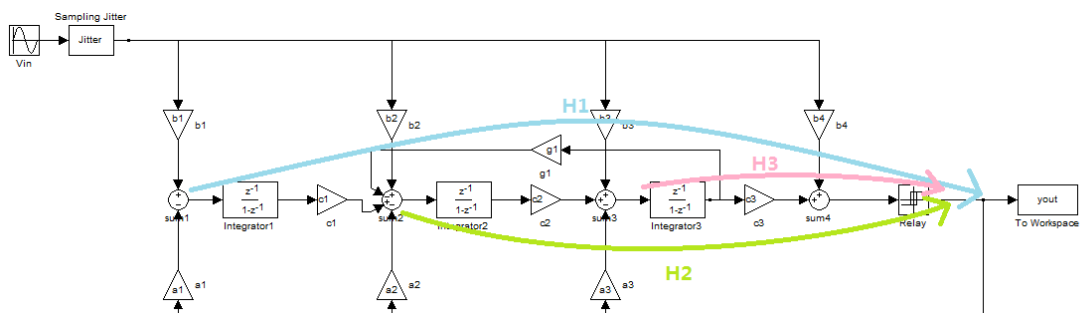


图 4-8 SDM 不同位置到输出的传输函数

事实上这三个传输函数的噪声整形不完全相同，即：

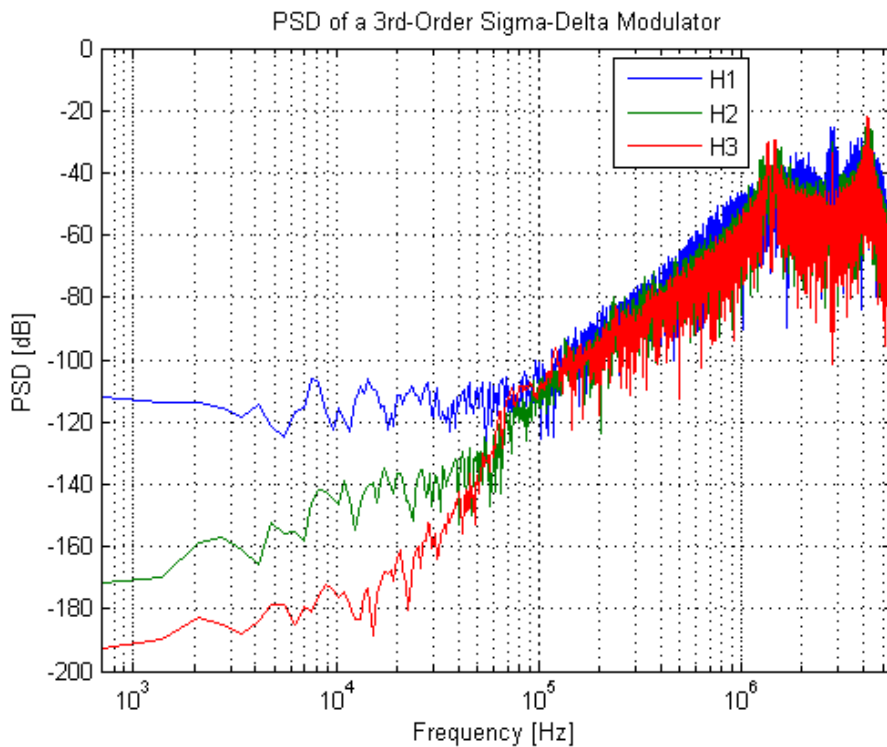


图 4-9 不同位置的噪声整形函数的比较

可见在信号带宽内，往往只需要考虑第一级的积分器的非理想性就可以近似整个 SDM

系统的热噪声源，因为信号带宽内第一级噪声至少比其他级数的噪声多 30dB。同样这个近似也可以运用在对于之后积分器非理想因素的考虑上，在这个毕设中我并没有使用这种近似，是将每一级的热噪声系数都考虑进去，并且自动生成 Simulink 模块。

下面是针对行为级模型中热噪声的仿真比较：

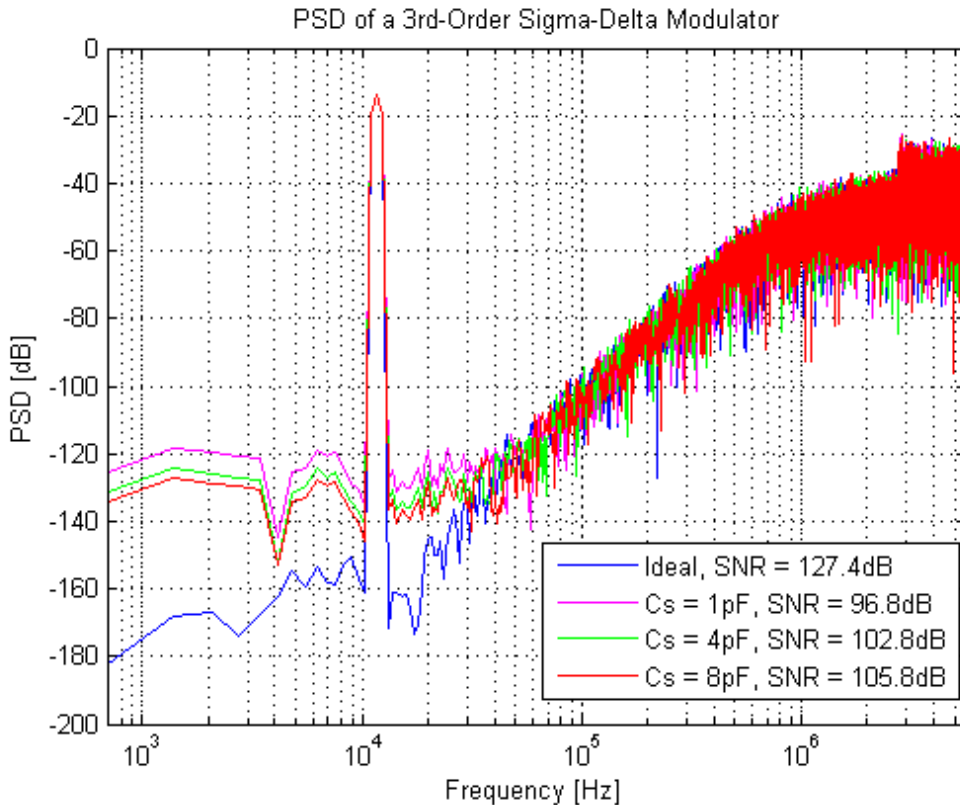


图 4-10 不同采样电容产生的热噪声的 PSD

这里假设每一级采样电容相同，可以看出电容的热噪声会在 SDM 最终的 PSD 中形成低噪（Noise Floor）的效果，但是由电容引入的热噪声并不会会有非常大的改善即便在加入 8pF 的采样电容后。

最后需要说明的是在传统电路仿真器中做瞬时分析并不会引入热噪声，但是在新版的 Cadence 中跑瞬时响应会有瞬时中加入噪声的选项<sup>[20]</sup>，但是这样的仿真会消耗大量的仿真时间（即便是简单的电阻分压电路），在这次的毕设中并不会考虑噪声的瞬时仿真，所以这部分效应只能包含在行为级仿真中。

### 4.3 比较器的 DC 漂移 (offset)

在 SDM 中 1 比特 ADC 是使用一位比较器实现，在图 3-15 中可以看到比较器的 VTC 并不是理想，即便之后经过 DFF，比较器电路输出仍然存在一定量值的漂移，在 Matlab 中这样的实现非常容易，只需要设定阈值（偏移量），在大于这个阈值时为 +Vref，其余为 -Vref 就可以了。

这里就给出相应比较器 DC offset 对 SDM 最终性能影响的比较曲线：

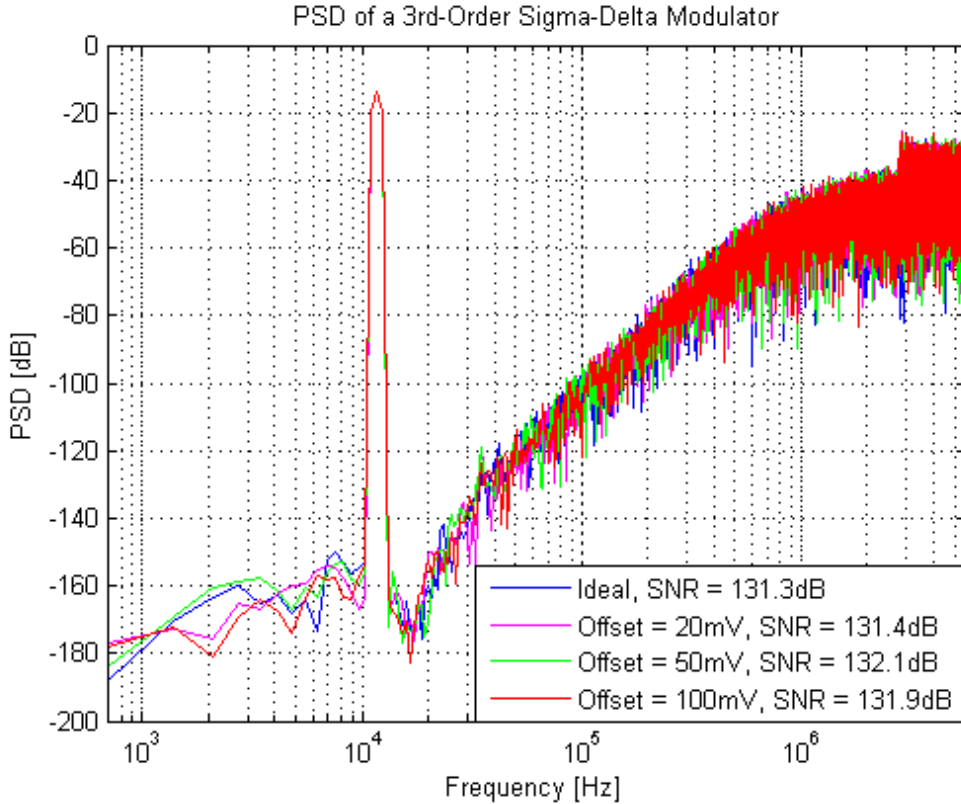


图 4-11 比较器 DC 漂移对输出 PSD 的影响

从图中看出 SC SDM 对比较器的漂移非常不敏感，所以这部分的影响可以忽略不计，直观上看由于 ADC 漂移引起的噪声会经过 SDM 的 NTF 所以这部分的大小对最终 PSD 不会有很大影响，因而在之后非理想性的 SDM 行为级模型中将认为比较器不存在 DC 漂移。

#### 4.4 运放非理想性与 SC 积分器瞬态响应

在这一节中将重点讨论由于运算放大器的非理想因素对 SDM 的输出 PSD 造成的影响，由于这里的许多响应可以和第三章的电路级 SDM 设计结合起来，所以这节所讨论的内容将对模拟电路设计起指导意义，应该如何权衡运放中的增益，带宽等指标。

##### 4.4.1 运放的噪声

运放中存在两种不同的噪声类型，分别是 MOS 管的热噪声，另外一种就是闪烁噪声：

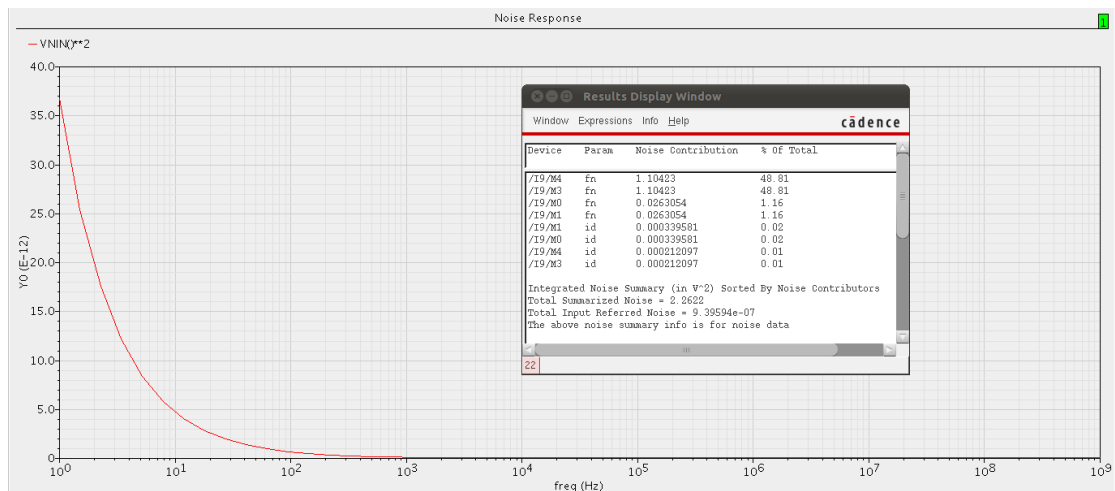


图 4-12 全差分运放等效输入噪声源 PSD



从上图的噪声贡献中可以明显看出闪烁噪声占了基本上 98% 的总噪声。由于这里的电路是有色噪声，所以之前的白噪声的 Simulink 模型不再适用，但是在文献[21]中给出了一种使用时域的傅里叶级数表示频域的噪声 PSD，即

$$V_{noise}[n] = \sum_{i=1}^N a_i \sin(2\pi i \frac{f_{max}}{N} t + \varphi_i) |_{t=nT_s} \quad (4-6)$$

运放噪声的模型尽管变了，但是对于任意阶数的 SDM 添加方式同样是按照图 4-4 中积分阶段，将噪声传输到积分器输入，然后作为额外的一个加性噪声加在理想行为级模型上，同样作为近似只需要考虑第一级积分器。最后这里的运放噪声并没有集成进入最后的非理想行为级模型，可以在之后的版本中继续完善。

#### 4.4.2 运放的有限增益

运放的有限增益在 SDM 中被认为是泄露系数 (Leakage)，考虑简单的单端 SC 积分器：

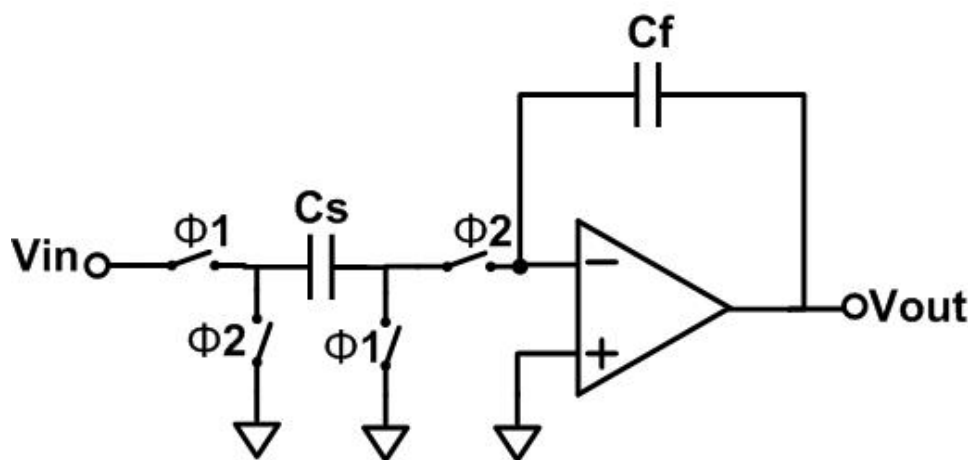


图 4-13 一阶单端积分器

在运放有限增益的情况下，运放的虚短不成立，所以每次电荷转移时，并不会使采样电容  $C_s$  上的电荷完全转移到积分电容  $C_f$  上，所以称为电荷泄露。对图 4-13 列些电荷守恒定理：

$$\begin{aligned} & C_s(0 + \frac{1}{A} V_{out}[n+1]) + C_f(V_{out}[n+1] + \frac{1}{A} V_{out}[n+1]) \\ &= C_s V_{in}[n] + C_f(V_{out}[n] + \frac{1}{A} V_{out}[n]) \\ \Rightarrow H(z) &= \frac{V_{out}(z)}{V_{in}(z)} \\ &= \frac{1}{1 + \frac{1}{A} + \frac{C_s}{C_f A}} \frac{C_s}{C_f} \frac{z^{-1}}{1 - \frac{1}{1 + \frac{1}{A}} \frac{z^{-1}}{1 + \frac{1}{A} + \frac{C_s}{C_f A}}} \end{aligned} \quad (4-7)$$

从式 4-7 中可以看出有限增益会导致理想传输函数增加一个增益，并且反馈回路上会添加相应系数。

令反馈的泄露系数为  $\alpha$ ，则根据 4-7 可得：

$$\alpha = \frac{1+1/A}{1+1/A+C_s/(C_f A)} = \frac{1}{1+\frac{C_s}{C_f(1+A)}} \approx 1 - \frac{C_s}{C_f} \frac{1}{A} \quad (4-8)$$

令增益系数为 g，则由式 4-7 可得：

$$g = \frac{1}{1+1/A+C_s/(C_f A)} \approx 1 - \frac{1}{A} \left( \frac{C_s}{C_f} + 1 \right) \quad (4-9)$$

其次像在图 4-6 中那样存在多输入路径时，同样可以推导得到，并且很明显地只需将式 4-7 ~ 4-9 中的  $C_s$  替代为多输入的所有采样电容之和：

$$C_s \rightarrow \sum_{i=1}^N C_{s,i} \quad (4-10)$$

因而在 Simulink 中只需要将理想的积分器修改成为如下带有 g 和 α 的非理想模块：

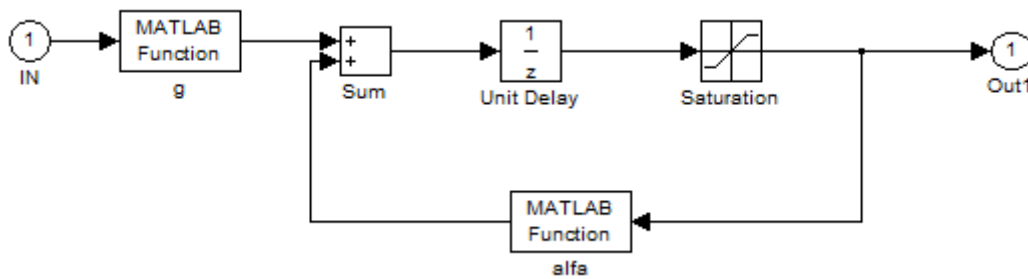


图 4-14 存在运放 DC 增益的积分器模块

图 4-14 中最后也包含了运放的饱和电压，一般来说只要在理想模型阶段对系数进行过同比缩放（2.3 节）不会发生这样的情况。对这里的三阶 SDM 仿真得到输出 PSD 对运放增益的比较：

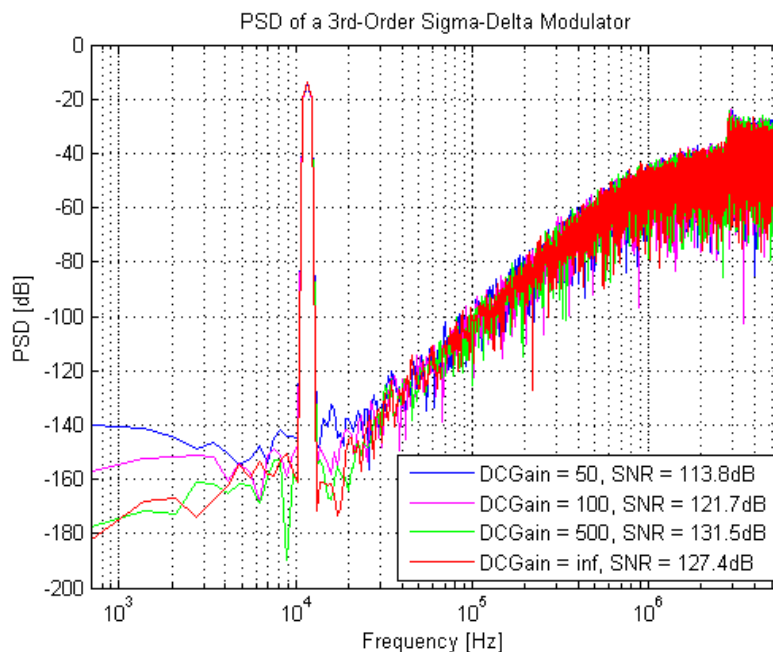


图 4-15 不同运放 DC 增益对 PSD 的影响

从上图可以看出 SDM 只有在 DC 增益比较小的情况下才会对输出 SNR 有明显的损害，只需达到增益为几百倍时，和理想情况下差不多，甚至还有提升。

另外在运放中由于增益的非线性性将会导致 SDM 输出 PSD 中存在谐波分量<sup>[22]</sup>，可以通过 Cadence 仿真得到对应增益与输出摆幅的函数，并在 Matlab 中做曲线拟合，然后加入 Simulink 模块：

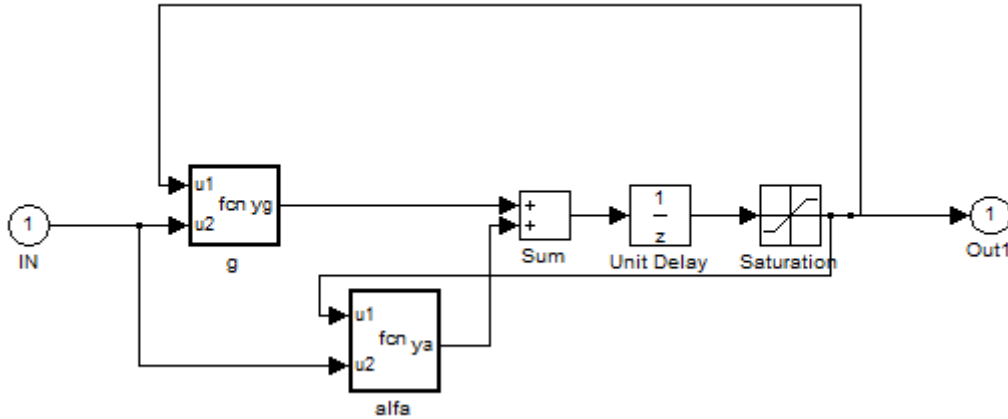


图 4-16 DC 增益的非线性

#### 4.4.3 运放的有限带宽与转换速率 (Slew Rate)

在运算放大器中对 SDM 输出 PSD 最大的影响是有限带宽和转换速率的限制，这会使得 SC 积分器在积分阶段并不能完全稳定到终值，就进入下一个采样周期，这种充放电不完全的现象会导致电荷转移不完全。

首先运放的有限带宽是一个线性的效应，也就是在电路中存在的寄生电容，负载电容，补偿电容与 MOS 的等效电阻会形成许多的零极点，所以运放的 DC 增益会在高频降低，这里考虑简单的一阶特性，运放只存在一个极点，即：

$$A(s) = \frac{A_0}{1 + s/p} \quad (4-11)$$

事实上一个简单的作法是直接将 4-11 的线性式带入 4-8 ~ 4-10，在 Simulink 中只需在  $g$  和  $\alpha$  中加入一个传输函数。实际上在文献<sup>[19]</sup>中采用的是时域的方法，即对应 Simulink 模型为：

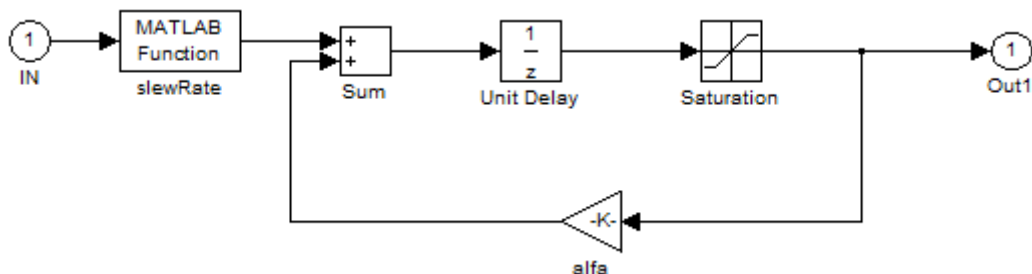


图 4-17 有限带宽和转换速率 Simulink 模型

这里把 4-14 中模块  $g$  改为了带有转换速率和带宽的模型，事实上通过推导可以得出 4-11 的传输函数与图 4-17 的时域模型是等价的：

考虑 SC 积分器在积分阶段：

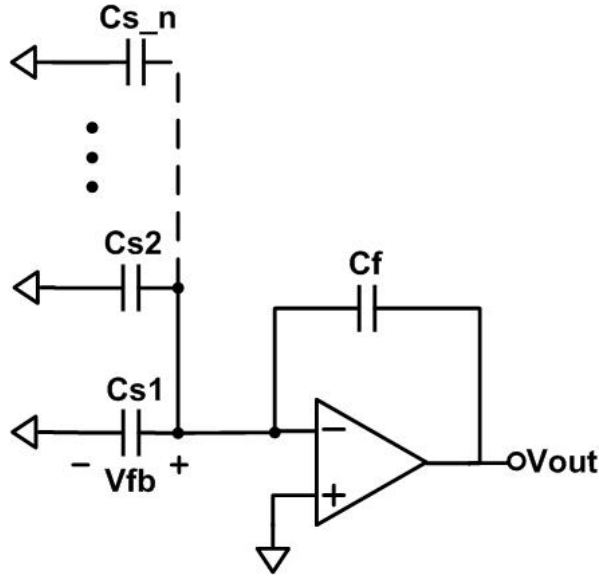


图 4-18 SC 积分器积分阶段

可以得到系统的反馈系数为:

$$f = \frac{V_{fb}}{V_{out}} = \frac{C_f}{C_f + \sum_i C_{s,i}} \quad (4-12)$$

将式 4-9 ~ 4-12 带入可得:

$$\begin{aligned} g &= \frac{A(s)}{A(s) + f^{-1}} = \frac{\frac{A_0 f}{1 + s/p}}{\frac{A_0 f}{1 + s/p} + 1} \\ &= \frac{A_0 f}{A_0 f + 1 + s/p} = \frac{A_0 f}{A_0 f + 1} \frac{1}{1 + \frac{s}{p(1 + A_0 f)}} \\ &\approx \left(1 - \frac{1}{A_0 f}\right) \frac{1}{1 + s/(pA_0 f)} \end{aligned} \quad (4-13)$$

令输入为  $V_{IS}$  的输入阶跃, 那么  $g$  项就可以容易地转化成图 4-17 中的时域响应:

$$\begin{aligned} v_{out}(t) &= L^{-1} \left[ \frac{V_{IS}}{s} \left(1 - \frac{1}{A_0 f}\right) \frac{1}{1 + s/(pA_0 f)} \right] \\ &= \left(1 - \frac{1}{A_0 f}\right) V_{IS} (1 - e^{-pA_0 f t}) \end{aligned} \quad (4-14)$$

可以比较式 4-14 与文献<sup>[19]</sup>是相同的, 其中

$$GBW_{Loop\ Gain} = pA_0 f \quad (4-15)$$

运放另外一个效应为转换速率 (Slew Rate), 这是一个非线性效应, 由于运放中限定的电流大小造成的, 一般来说对于两级的运放, 其 SR 由下式给出<sup>[23]</sup>:

$$SR = \min \left\{ \frac{2I_1}{C_C}, \frac{2I_2}{C_C + C_{Load}} \right\} \quad (4-16)$$

在这里，SR 对于最终的线性时域响应 (4-14) 的限制就是加入额外的线性时域响应：

$$v_{out}(t) = SR \times t, \quad t \in Slew\ Period \quad (4-17)$$

然后总体的响应为式 4-14 与 4-17 两端组成，出于函数与其一阶导数连续的考虑，可以求得转换的周期。

最后相应的单位阶跃响应为：

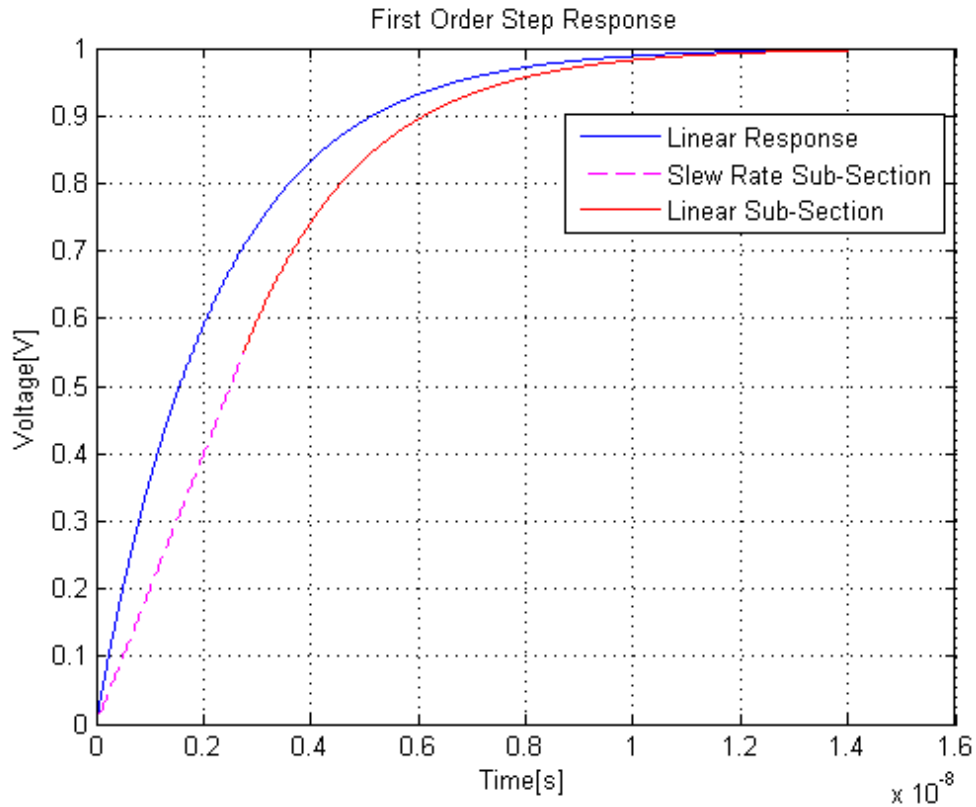


图 4-19 一阶近似阶跃响应

最后根据如上简单的一阶模型，对一定增益下 ( $A = 1k$ ) 的 SDM 输出 SNR 关于 SR 和 GBW (其中 SR 和 GBW 都是从 1M 变化到 100M 的范围) 的空间曲面：

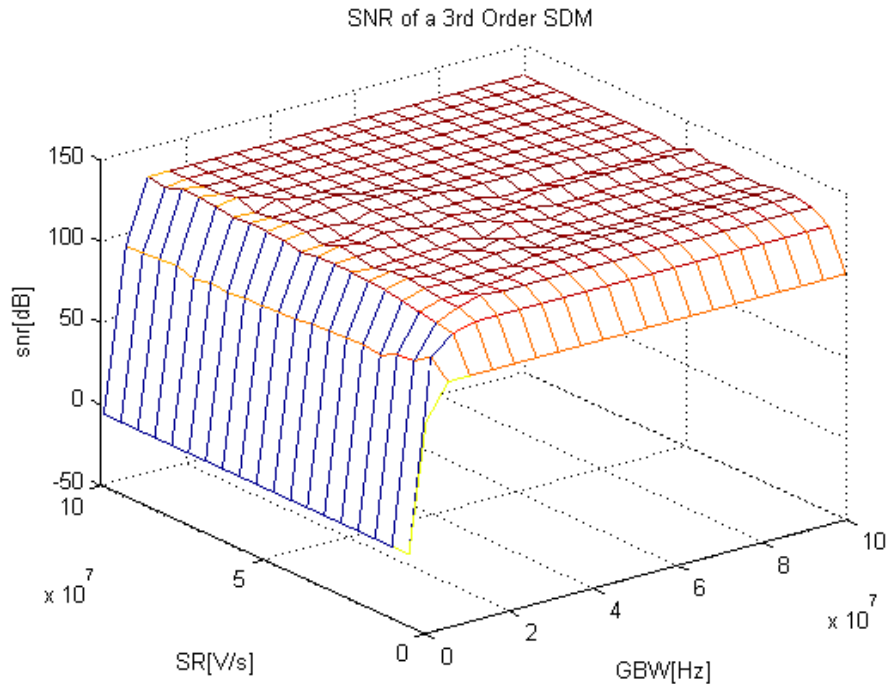


图 4-20 SNR 关于 GBW 和 SR 的曲线

从图 4-20 可以总结一些设计上的折中, 比如在这里输出 SNR 对 GBW 比对 SR 要敏感, 所以在设计时保证 GBW 足够高才能较好地在一个积分周期内稳定充分。其次在比较大的范围内 SNR 都是较高值, 只需要保证  $GBW > 3MHz$ 。

但是在实际中 SC 积分器的瞬态响应曲线并不是图 4-19 那样的单极点一阶情况, 下面就将简要讨论下多极点的高阶效应。

#### 4.4.4 积分器的高阶瞬态阶跃响应

在仿真 SDM 的过程中观察其中一级积分器的输出波形为:

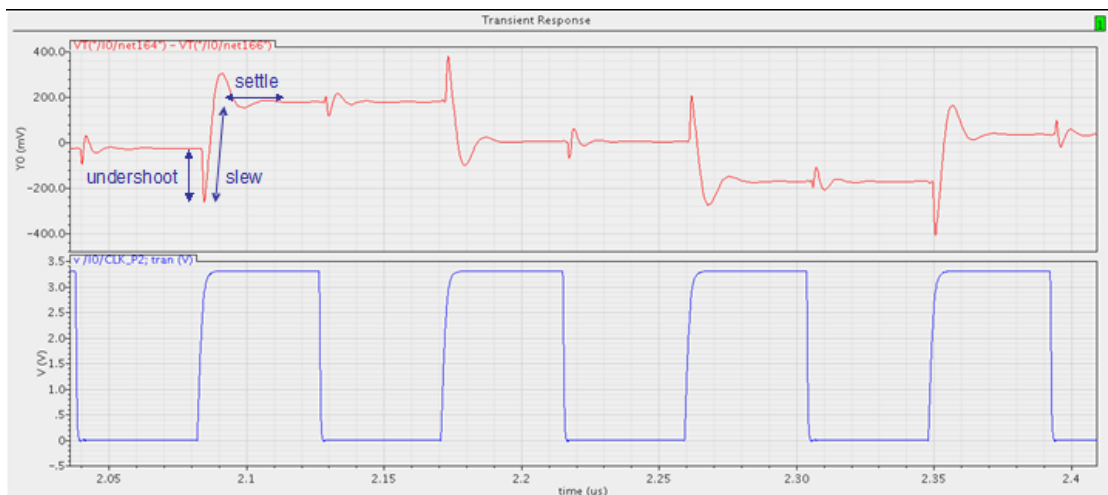


图 4-21 实际 SC 积分器的阶跃响应

在上图波形中可以看到有积分器在积分阶段的瞬态响应有三个不同阶段, 分别包含了过冲, 转换, 稳定。其中过冲与稳定都是电路的线性响应, 过冲实际是由于电路传输函数中存在零点导致, 而稳定过程中的震荡是由于存在共轭极点的关系。下面将是一个实际的电路在不同零极点传输函数下的阶跃响应:

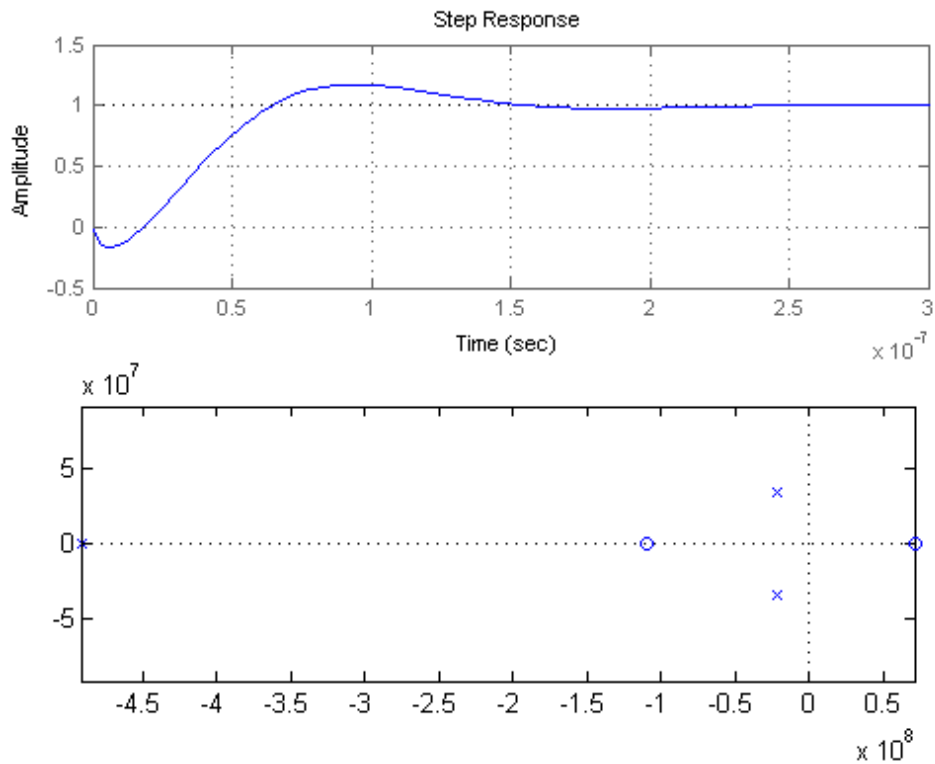


图 4-22 高阶 SC 积分器的阶跃响应与零极点分布

可以看到这里的曲线同 4-21 是非常相似的，这里采用如下的分段方法<sup>[24]</sup>:

$$y(t) = \begin{cases} y_{lin}(t) & t < t_1 \\ SR(t-t_1) + y_{lin}(t_1) & t_1 < t \leq t_{LS} \\ y_{SS}(t-t_{LS} + t_M) + G_0(V_{IS} - V_{SS}) & t > t_{LS} \end{cases} \quad (4-18)$$

$$\text{Here } y_{SS}(t) = \frac{V_{SS}}{V_{IS}} y_{lin}(t), V_{SS} = SR / \max[\text{sign}(G_0 V_{IS}) y'_{lin}(t)]$$

因此这里给出对在加了 Slew 限定的高阶阶跃响应:

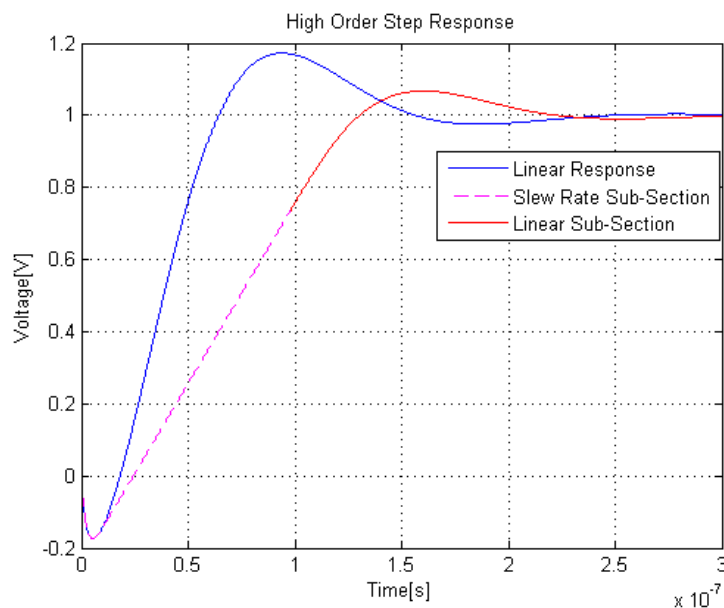


图 4-23 SR 限定下的积分器阶跃响应

所以下面最主要的问题便是求得对应线性响应中的零极点分布以及 Slew Rate 的大小，其中 SR 可以通过式 4-16 计算得到，而线性响应实际可以通过 Cadence 的 pz 分析得到或者更好的办法是通过实验室的 GPDD 算法得到零极点的符号解，这样可以为模拟电路设计找到非常直接的电路对应，这里提出一个在 SDM 中如何测量 SC 积分器传输函数  $H(s)$  的（式 3-21）电路对应：

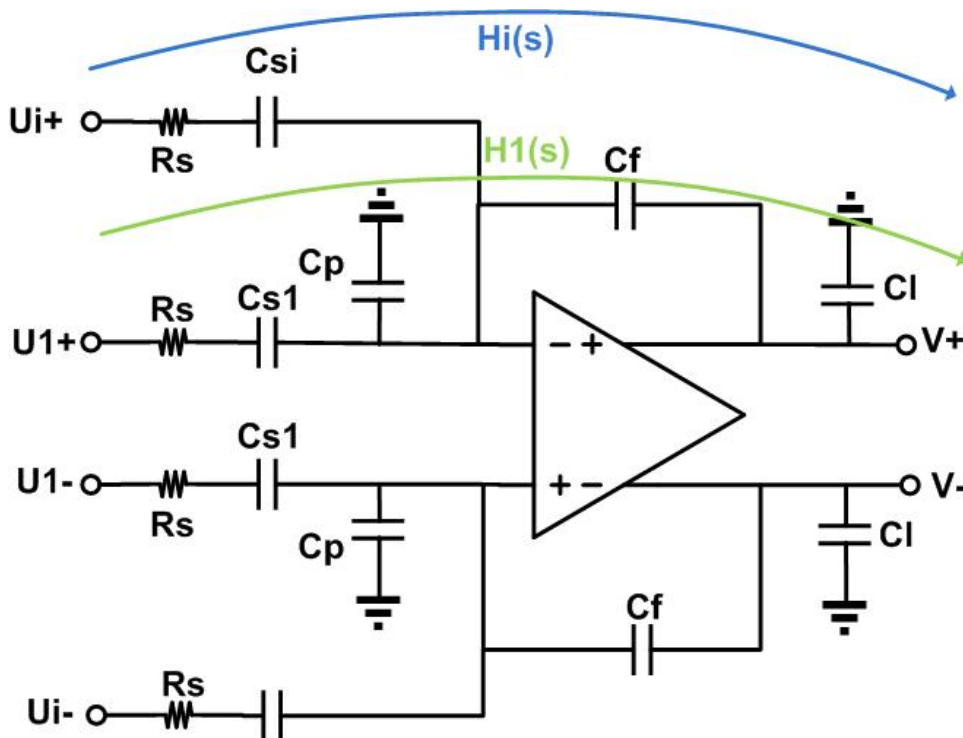


图 4-24 SC 积分器传输函数求取

图 4-24 中会求取出若干个传输函数（在实际电路中为 2 个，分别是积分器输入到积分器输出以及 SDM 中 DAC 输出的反馈回路到积分器输出）。在这种情况下经过相应的 Cadence 仿真与 Matlab 拟合可以得到：

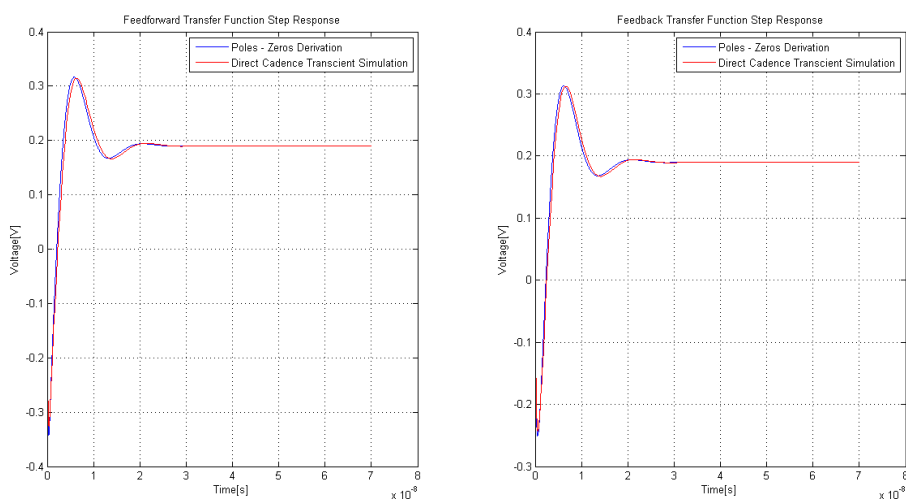


图 4-25 积分器传输函数阶跃响应与 Cadence 瞬态分析

可以看出图 4-25 中两个传输函数的曲线拟合的非常好。之后在考虑实际 SDM 中的一个积分周期，验证使用零极点近似线性传输函数的方法精准性：



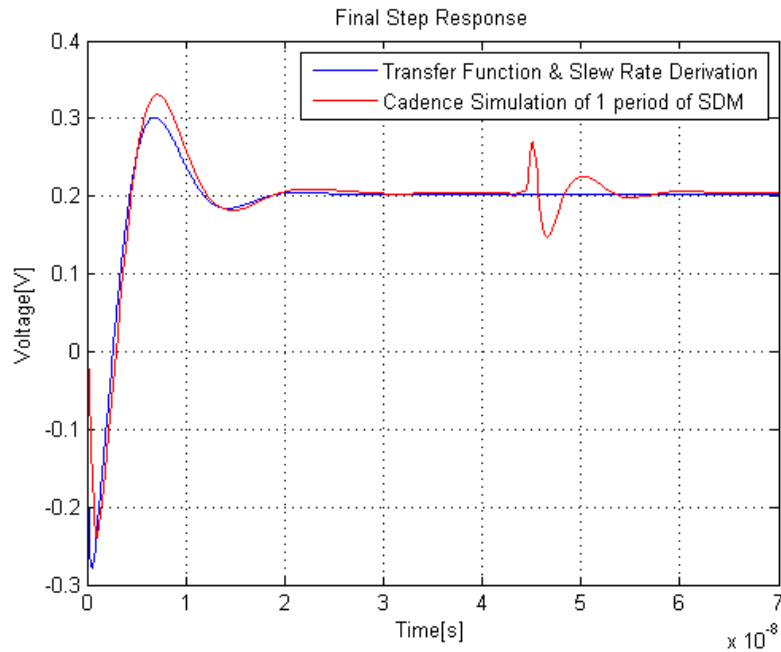


图 4-26 SDM 积分器瞬时响应

在这里看出前面半个周期（积分周期）吻合地非常匹配，最后在采样阶段出现了一个过冲和稳定的现象，这个没有被讨论到，但是在文献<sup>[25]</sup>中针对一阶单极点的情况有所讨论，这里仍然可以推广。

#### 4.5 一阶非理想性行为级模型与电路仿真结果比较

在最后针对电路级以及理想行为级和非理想行为级进行了相关仿真结果的比较（由于时间关系，一些高效效应如积分器的瞬态响应并没有包含到 SDM 非理想行为级模型中，可以在下一个版本中完善）。

##### 4.5.1 一阶 SDM 仿真结果比较

针对 3.8 节中的一阶 SDM 可以得到如下 PSD 与 SNR:

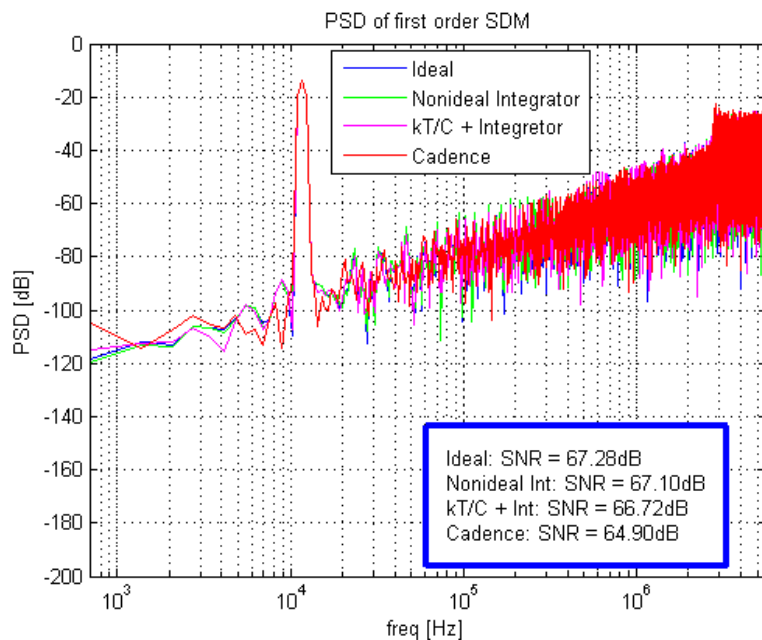


图 4-27 非理想性行为级模型与电路 PSD 比较

可以看出相对理想的行为模型，加了电路特性的行为级模型更加接近电路级仿真，并且存在从电路参数到 Matlab 行为级模型的映射关系，这是加了非理想性行为级模型的优势。其次这里列出相关的仿真时间等参数，可以较清晰比较两者仿真的优劣：

表 4-1 行为级仿真与电路级仿真比较

	Ideal Behavior	OpAmp Nonideal	OpAmp + kT/C	Cadence
SNR	67.2832dB	67.1093dB	66.7155dB	64.8997dB
ENOB	10.8842bit	10.8553bit	10.7899bit	10.4883bit
Simulation Time	0.922s	3.2060s	3.8940s	5h 10min

#### 4.5.2 两阶 SDM 仿真结果比较

通过类似于之前 3.8 节和 4.5.1 节的类似操作，可以得到对于两阶 SDM 的 CIFB 结构的系数：

表 4-2 两阶 CIFB 系数

CIFB 中对应系数	自动生成数值
a1	0.19
g1	0
b1	0.19
c1	0.1763
a2	0.12
b2	0
c2	6.45 (1)
b3	0

表 4-3 SDM 电路级电容大小（标示见图 3-7。下标 1、2 表示 1、2 两级）

电容	电容值 (pF)
Cs1	2
Cf1	10.52
Csr1	2
Cs2	2
Cf2	11.34
Csr2	1.36

得到对应 SDM 的 PSD 与 SNR 比较：

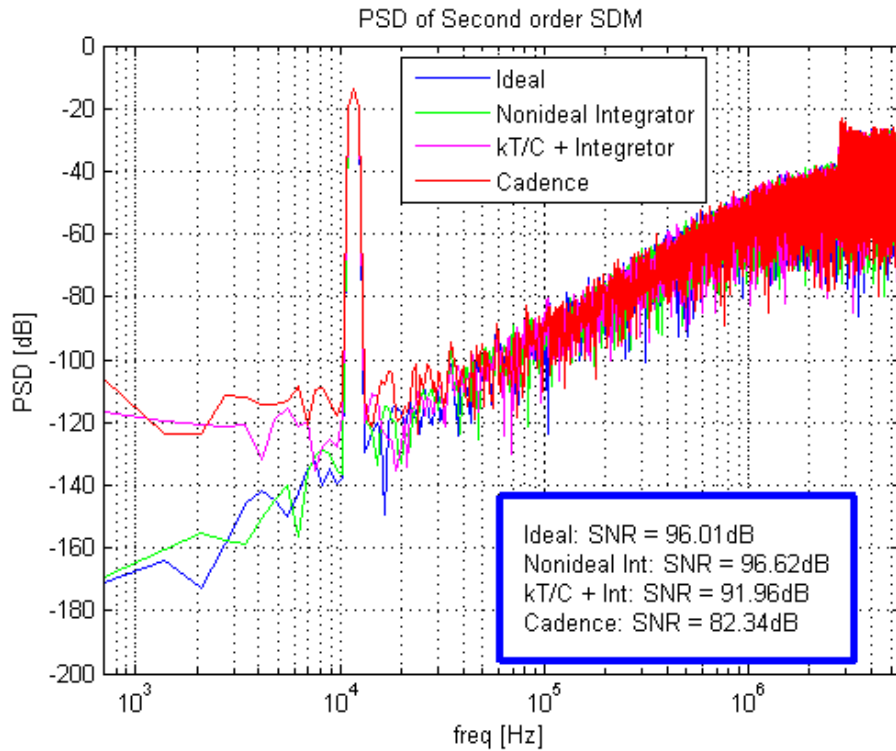


图 4-28 两阶 SDM 非理想性行为级模型与电路 PSD 比较

这里看出实际电路存在一个高的 DC 直流量，这可能是高阶效应造成的。

表 4-4 行为级仿真与电路级仿真比较

	Ideal Behavior	OpAmp Nonideal	OpAmp + kT/C	Cadence
SNR	96.0084dB	96.6201dB	91.9618dB	82.3386dB
ENOB	15.6559bit	15.7575bit	14.9837bit	13.3851bit
Simulation Time	0.352s	6.787s	7.504s	6h 55min

## 4.6 本章小结

在这一节中我详细讨论了 SDM 中的各种噪声的一阶以及高阶效应对输出 PSD 的影响，并且给出了一些完整的仿真结果和与电路级仿真的数据比较。可以看出 SNR 与实际电路还是存在一些差别的，这或许是因为高阶电路效应或者其他因素导致的，说明这里的模型还是有很大的改善空间的，但是这里提出的思想是通过行为级仿真与电路级仿真可以互相指导，并且给模拟电路工程师反馈信息，到底运放该如何设计指标才能达到所需的 SNR 要求，并且行为级模型在仿真时间上将会远远优于电路级的仿真。

## 第五章 结论及未来展望

### 5.1 结论

在这次毕业设计中我主要搭建了两条相关的仿真平台：

- 1) Cadence 上电路级 SDM 的仿真链
- 2) Matlab / Simulink 的行为级仿真平台

在这两套平台上分别作了相应的仿真以及两者仿真结果的比较，可以看到在 Cadence 中仿真 SDM 电路是非常耗时的一个过程（见 4.5 节），所以在行为级中建立与电路级的对应关系是非常有必要的，并且在精度上比理想的行为级模型更接近于真实电路的输出 PSD。相对应的仿真结果可以参见表 4-1 ~ 表 4-4，其中可以看出真实电路中存在一个大的 DC 量，这个量基本不受到噪声整形的影响（所以应该是在信号传输函数中引入的），从而导致最后的 SNR 与 PSD 变差，与行为级模型仿真得到的结果不完全相同。这也是之后可以研究的方向，究竟是那个非理想因素会导致这个 DC 分量的存在，以及如何在非理想的行为级模型中体现出来。但是从 4.5 节中可以看到一个带有非理想性的行为级模型对于最后 SDM 设计与仿真非常有必要，这样在电路设计之初就可以估计和制定大致电路模块的基本参数范围。最后我也基于 Matlab 的界面设计，完成了一个可以自动生成 Simulink 行为级模型（包括理想和理想非理想效应）仿真系统：

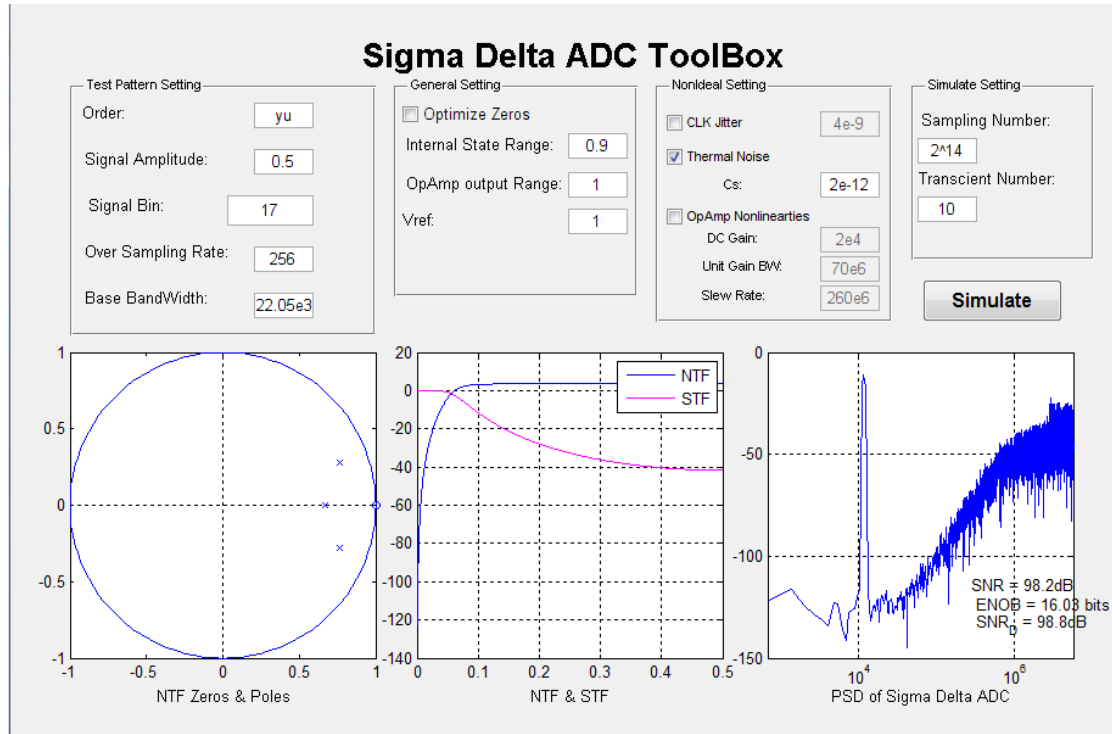


图 5-1 Matlab 行为级仿真器

其中可以选择其中的一些非理想因素（见输入栏的第三列），会根据用户输入的不同，背后自动生成不同对应的 CIFB 的 Simulink 结构，并且仿真得到对应的三个图：

- 1) 综合出来 SDM 的 NTF 零极点分布

## 2) 理想的 STF 与 NTF 频域响应

3) 实际加了非理想因素（用户没有选择则是理想的行为级）的输出 PSD 以及 SNR，其中 SNR 存在两个算出的值，分别对应于式 2-34 和式 2-35 算出的不同值。

这里只是一个概念性的演示，并没有加入高阶非理想性，其中会运用到两个已有的工具包 [7][26] 来生成一些 CIFB 系数，以及响应的一部分一阶非理想行为级模块。

## 5.2 未来展望

由于这是实验室刚起步做的新研究方向，所以许多相关的基础平台或者研究基础都不存在，这次的毕设也只是完成了许多对 SDM 的初步摸索，可以看到行为级仿真毕竟没有直接使用 Cadence 仿真那样精准，许多电路未知的高阶效应都还可能影响着电路最终的输出 PSD 与 SNR，目前仍然存在的需要改进的有：

1) 这里自动生成的是 CIFB 结构的 SDM 行为级模型，事实上可以更加推广地生成任意形式的 SDM 行为级结构，可以按照相同的自动建立思路来完成

2) 高阶效应的讨论已经大致完成，但还没有将它集成进入 SDM 最终的仿真进去，高阶 SC 积分器的阶跃响应会导致 PSD 中出现谐波分量<sup>[24]</sup>

3) 结合实验室的 GPDD 可以完成对 SC 积分器高阶仿真中的线性部分仿真

4) 可能存在还有的非理想因素，电路特性没有被发掘可以考虑，在之前的仿真中也看到 PSD 中的 DC 分量导致了最终 SNR 行为级与电路级仿真的不完全接近，这个效应也可以在之后研究中加以讨论

5) 结合实验室中另外做的关于 SDM 的拓扑结构的优化探索，构成一个完整的 SDM 仿真工具链，并且用于综合电路

6) 更加普适的 SDM 电路非理想性讨论，如在<sup>[21]</sup>中的多比特 ADC - DAC 等

## 参考文献

- [1] Oppenheim A V, Schafer R W, Buck J R. Discrete-time signal processing[M]. Upper Saddle River: Prentice hall, 1999.
- [2] Aziz P M, Sorensen H V. An overview of sigma-delta converters[J]. Signal Processing Magazine, IEEE, 1996, 13(1): 61-84.
- [3] 何进, 郭裕顺. 用 SIMULINK 的 Sigma-Delta 调制器行为仿真[J]. 杭州电子科技大学学报, 2012, 32(2): 1-5.
- [4] 张信, 于敦山, 盛世敏, 等. 一种行为级的仿真方法及 Sigma-Delta 模数转换器的最优化设计 (英文)[J]. 北京大学学报 (自然科学版), 2009, 2: 005.
- [5] Schreier R, Temes G C. Understanding delta-sigma data converters[M]. Piscataway, NJ: IEEE press, 2005.
- [6] Chao K C H, Nadeem S, Lee W L, et al. A higher order topology for interpolative modulators for oversampling A/D converters[J]. Circuits and Systems, IEEE Transactions on, 1990, 37(3): 309-318.
- [7] Schreier R. Delta Sigma Toolbox. <http://www.mathworks.com/matlabcentral/>. 14 Jan 2000 (Updated 29 Dec 2011).
- [8] Sauer T. Numerical Analysis (2nd Edition). Pearson, 2011.
- [9] 童诗白, 华成英. 模拟电子技术基础 (第四版). 高等教育出版社, 2006.
- [10] Hosticka B J, Brodersen R W, Gray P R. MOS sampled data recursive filters using switched capacitor integrators[J]. Solid-State Circuits, IEEE Journal of, 1977, 12(6): 600-608.
- [11] Gray P R, Hurst P J, Meyer R G, et al. Analysis and design of analog integrated circuits[M]. John Wiley & Sons, 2008.
- [12] Behzad R. Design of analog CMOS integrated circuits[J]. International Edition, 2001.
- [13] Gregorian R. Introduction to CMOS OP-AMPs and comparators[M]. New York: Wiley, 1999.
- [14] Rabaey J M, Chandrakasan A P, Nikolic B. Digital integrated circuits[M]. Englewood Cliffs: Prentice hall, 2002.
- [15] Gaggli R, Wiesbauer A, Fritz G, Schranz C, Pessl P. A 85-dB dynamic range multibit delta-sigma ADC for ADSL-CO applications in 0.18-um CMOS[J]. Solid-State Circuits, IEEE Journal of, 2003, 38(7): 1105 - 1114.
- [16] Gharbiya A, Johns D A. On the implementation of input-feedforward delta-sigma modulators[J]. Circuits and Systems II: Express Briefs, IEEE Transactions on, 2006, 53(6): 453-457.
- [17] Chilakapari U, Fiez T S. Effect of switch resistance on the SC integrator settling time[J]. Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transactions on, 1999, 46(6): 810-816.
- [18] Wang H M, Kuo T H. The design of high-order bandpass sigma-delta modulators using low-spread single-stage structure[J]. Circuits and Systems II: Express Briefs, IEEE Transactions on, 2004, 51(4): 202-208.
- [19] Malcovati P, Brigati S, Francesconi F, et al. Behavioral modeling of switched-capacitor

- sigma-delta modulators[J]. Circuits and Systems I: Fundamental Theory and Applications, IEEE Transactions on, 2003, 50(3): 352-364.
- [20] Application notes on direct time-domain noise analysis using virtuoso spectre, version 1.0. July, 2006.
- [21] Fornasari A, Malcovati P, Maloberti F. Improved modeling of sigma-delta modulator non-idealities in Simulink[C]. Circuits and Systems, 2005. ISCAS 2005. IEEE International Symposium on. IEEE, 2005: 5982-5985.
- [22] Zare-Hoseini H, Kale I, Shoaie O. Modeling of switched-capacitor delta-sigma modulators in SIMULINK[J]. Instrumentation and Measurement, IEEE Transactions on, 2005, 54(4): 1646-1654.
- [23] Rabii S, Wooley B A. A 1.8-V digital-audio sigma-delta modulator in 0.8- $\mu$ m CMOS[J]. Solid-State Circuits, IEEE Journal of, 1997, 32(6): 83 - 796.
- [24] Pugliese A, Amoroso F A, Cappuccino G, et al. Analysis of the impact of high-order integrator dynamics on SC sigma-delta modulator performances[J]. Circuits and Systems I: Regular Papers, IEEE Transactions on, 2010, 57(3): 618-630.
- [25] Del Rio R, Medeiro F, Perez-Verdu B, et al. Reliable analysis of settling errors in SC integrators-application to the design of high-speed  $\Sigma \Delta$  modulators[C]. Circuits and Systems, 2000. Proceedings. ISCAS 2000 Geneva. The 2000 IEEE International Symposium on. IEEE, 2000, 4: 417-420.
- [26] Category: Control Systems, File: SD Toolbox [Online]. Available: <http://www.mathworks.com/matlabcentral/fileexchange>

## 谢辞

不知不觉在交大的微电子学院已经过去了四年，最后终于也差不多完成了本科最后一门课程：毕业设计。在这次的毕设设计中我也觉得自己收获了许多，从一个对ADC来说什么都不懂的菜鸟，到现在对于SDM还能说略知一二的人。整个过程中也非常锻炼我自身，因为这次毕设又要设计编程一类的内容，还要对于之前本科阶段所学的数字电路，模拟电路部分知识有所掌握。这次的毕设是一个很好地对之前本科阶段所学知识的一次汇总和复习，相信对之后的学习工作都会有所帮助。

这里首先想感谢我的指导老师，施国勇。是他本科阶段的EDA课让我感受到前所未有的挑战以及完成后的幸福感，然后投身进入EDA实验室来一起完成这次的研究。施老师的治学认真严谨的态度也非常令人值得尊敬。

其次是想感谢实验室的许多学长学姐，这里有张爱林，程建东等，有他们和我一起探讨问题，解决问题，这是一件非常幸运的事情。包括和我一起做这个方向毕设的邓健，能够在SDM上有互相体会的交流非常不错。

然后是实验室的胡翰斌，他一开始就和我是一起做EDA项目的同伴，然后经常去切磋羽毛球技术。之后应该还会在实验室下继续读研，希望他是EDA室中能够继续扛起大旗的后继者，做出的仿真器能够超越Cadence，Spice。

接着感谢我的女朋友六六，她经常陪伴我来到实验室一起做毕设。在我们两个互相督促下都在互相进步，我觉得她还是很了不起的，能够去做MIMO检测算法这样高深的东西。感谢她能够一直坚定地陪在我身边即便我是那么的无趣，尽管之后不是去一所学校，但是希望都在香港读PhD的我们能够继续下去。

最后感谢我的父母，把我含辛茹苦地拉扯长大，感谢他们能够理解并且支持对于学术的热爱。未来的五年很有可能将会有很少的时间陪伴在他们身边，但是仍然希望他们能够对我一样的支持和快乐。



# RESEARCH ON CORRELATION BETWEEN BEHAVIORAL MODEL AND TRANSISTOR-LEVEL DESIGN OF SWITCHED-CAPACITOR SIGMA DELTA MODULATORS

Nowadays, Analog to Digital Converters (ADCs) have become more and more prevalent in modern technology because of the rapid development of digital integrated circuits. Hence, we would like to process the signal in the digital format, but on the other hand, all the signals in real world are analog ones. As a result, an ADC with good performance is necessary in today's digital signal processing (DSP). There are many different categories of ADCs, such as pipeline ADC, successive approximation (SAR) ADC and so forth. Sigma Delta ADC / Modulator (SDM) is one kind of such ADCs, and it can provide really good performance, including really high precision, less sensitive to the technology mismatch. Compared with other types of ADCs, SDM is a kind of oversampling ADCs, which means its sampling frequency is much more higher than the Nyquist sampling frequency and it will constrain the input signal frequency in the application of SDM, so SDM is always applied in the area of processing of high-fidelity voice signal. Although SDM has been invented more than 60 years, it still remains some unsolved problems in this area, and there are:

1. The simulation of SDM is a rather time consuming process by conventional matrix based simulator, such as Cadence and HSpice (more than 5 hours and it will increase approximately linearly with the order of SDM), and thus it will be very tough for novice to design the total system of SDM. The designer may waste large amounts of time to size the transistor aimlessly without knowing the key factor that leads to the corruption of final performance.

2. There still lacks the accurate relation between transistor-level circuits and behavior-level models especially the high order non-ideal effect in the SDM. However, it is really important for the analog designer for it can guide the designer which factor may be the critical one to affect the final performance and decrease the design period of SDM

3. Optimal structures of SDM, including the stability consideration, maximum SNR consideration and minimally sensitive to capacitor mismatch. Although some efforts have been made to analyze the stability of SDM, it still remain unknown for people because the entire system is a combination of discrete time domain as well as continuous time domain, and hence only some empirical criteria have been concluded

The dissertation mainly focuses on solving the first two problems. I try to find a correlation between the transistor-level circuits and behavior-level models of the circuits and make it possible to replace the traditional way to simulate a SDM with this fast as well as relatively accurate behavior models having some non-ideal effects. Some comparison results have been presented in Chapter 4.5, we can see that it will need more than several hours to simulate the PSD by using

Cadence. It is impossible for designer to do some repeated attempts to modify the structure of a module or sizing the transistors in SDM.

In the dissertation, I proposed a complete top-to-down design flow of transistor-level SDMs. Using the toolbox with GUI, the designer can get an ideal behavior model which can be directly mapped a module-based circuit. Then the designer can focus on the construction of each basic module. During the procedure of designing the SDM, it is also recommended to combine the transistor-levels design with the behavior model because the analog circuit designer can have a better understanding of how to choose a proper circuit structure with an appropriate specification such as the DC Gain for the Operational Amplifier (OpAmp).

In the field of SDM, there are many different structures of Loop Filter for the high order SDM. I use one of the common implementations of Loop Filters, that is Cascaded Integrators with Feedback (CIFB). Because of the regularity of such structures, I use some Matlab scripts to automatically generate a Simulink Model and this model can be the SDM of arbitrary order which can also include the basic first order non-ideal effects.

The dissertation is structured as the following:

First Chapter is a brief introduction of the current research trend of SDM

Second Chapter mainly discusses about the basic principle and terminology of an ideal behavior model for SDM such as Noise Transfer Function (NTF), and at the end of the Chapter, I will give a complete design flow of an ideal SDM behavior model, and this model can be directly mapped to the circuit-level implementation.

Third chapter discussed about the circuit level implementation. Lots of analog circuit structures are talked in this chapter. Main analog blocks used here are the fully differential OpAmp, comparator and some digital control circuits such as the multiplexer and a non-overlapping clock generator.

Finally in the fourth chapter, I try to do some researches in finding the correlation of the behavior model and practical transistor-level circuit. At the end of this chapter, some comparisons between the SNR and PSD of circuit level and behavior model are presented.

In this dissertation, I focus on the relation between the real circuits' final power spectral density (PSD) as well as Signal to Noise Ratio (SNR) and the behavior model in Matlab. Lots of low order non-idealities and high order non-idealities have been discussed in the dissertation, such as the thermal noise effect, the finite bandwidth of operational amplifier and accurate transient step response of a real integrator which has more than 2 poles as well as zeros. I have also done a large amount of experiment on these non-idealities and find the practical impact on the final PSD of SDM, such as the thermal noise will increase the noise floor of the DC component in the final PSD of SDM and OpAmp's finite bandwidth does a greater influence than the slew rate at the final PSD of SDM. Large amounts of high or low order effects have been discussed in the Chapter 4 and many comparisons of their impacts on final PSD are also plotted there.

Moreover, I also implement a complete transistor-level module of SDM in order to have a better comprehension of non-idealities and thus I can make a comparison between the final result of transistor-level and behavior-level. Some comparison results are also shown in the Chapter 4.5. It is obvious that traditional way is a rather time consuming process and thus the behavior model approach is very attractive since it can give you the final results in less than 10 seconds. During the design procedure of transistor-level SDM, I am also confused about how to choose the specification of circuit module and hence there comes another advantage of behavior model with

non-idealities. Before the procedure of design the transistor-level SDM, it is necessary to determine an approximate specification of each module in SDM by doing the simulation of behavior model with non-idealities and then the designer can design the separate module of SDM without worrying about the final performance of SDM because it has already been verified by behavior model. Finally, after design each block, designer can follow the design procedure presented in Chapter 2.3. There is a direct mapping from the behavior model to the circuit level implementation but some trifles need to be considered such as dynamic scaling, a proper test pattern selection which is without the occurrence of frequency smears. As a result, it should be possible to synthesize a complete transistor-level SDM just based on its behavior model.

Finally, in the thesis, I compare the final results of transistor-level SDM with the simulation results of behavior model which incorporates the first order non-idealities. From the chapter 4.5, we can find the final results of a real SDM does not match the behavior very well and a possible reason for such discrepancy comes from the fact that circuits may contain lots of high order effect that we have discussed before. In addition, we can observe a high DC component in the output PSD of SDM, and this may come from the fact that circuit has some DC offset. But it also indicates that the behavior model still has more space to improve such as finding out the main factor to cause that DC component. In the following version of building up the behavior model, these mismatches will be rectified.

At last, I would like to list some future work can be done in the next phase of doing the research on the behavior mode for SDM:

1. Complete the non-idealities for high order effects in the SDM and implant such modules into the final behavior model for SDM
2. Expand the range of auto generation of SDM, which means the Matlab scripts can generate any form of SDM, not only the CIFB structure.
3. Find the reasons for the high DC component in the PSD of SDM, which is the key factor that leads to the SNR and PSD mismatch. Although I have made some efforts to suppress the DC component when I design the single ended first order SDM such as reduce the finite switch resistance and eliminate the explicit load at the output node of integrator, the DC component still appears at the final PSD in the differential SDM.
4. Use the GPDD algorithm to extract the dominant poles and zeros and then find the linear model of switched capacitor (SC) integrator. In addition, it is possible to use the sensitivity of zeros and poles to optimize the circuit implementation such as reduce the settling time for the SC Integrator.

Although there still remain some unknown phenomena in the transistor-level circuit, I have already tried my best to propose some possible illustrations for it in the dissertation, including the high order effect for SC Integrator and I think these problems can be solved in the near future.